ПЕРСПЕКТИВЫ
РАЗВИТИЯ
ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ





7 Полупроводниковые запоминающие устройства

ВШ



ПЕРСПЕКТИВЫ
РАЗВИТИЯ
ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

В одиннадцати книгах

7

Под редакцией
лауреата Государственной премии СССР
проф. Ю.М.Смирнова

Полупроводниковые запоминающие устройства





Москва
«Высшая школа» 1989

ББК 32.97
П27
УДК 681.3

Рекомендовано Государственным комитетом СССР по народному образованию для использования в учебном процессе

А. Б. Акинфиев, В. И. Миронцев,
Г. Д. Софийский, В. В. Цыркин

Рецензенты:

кафедра вычислительной техники Московского института электронного машиностроения (зав. кафедрой проф. П. П. Сыпчук); проф. П. В. Нестеров

Перспективы развития вычислительной техники:
П27 В. 11 кн.: Справ. пособие/Под ред. Ю. М. Смирнова. Кн. 7: Полупроводниковые запоминающие устройства/А. Б. Акинфиев, В. И. Миронцев, Г. Д. Софийский, В. В. Цыркин. — М.: Высш. шк., 1989. — 160 с.: ил.
ISBN 5-06-000542-9

В пособии излагаются основные сведения об элементной базе, особенностях работы, проектирования, а также практических аспектах создания современных полупроводниковых запоминающих устройств ЭВМ.

П $\frac{2405000000-314}{001(01)-89}$ 199—89

ББК 32.97
6Ф7

ISBN 5-06-000542-9

Введение

Полупроводниковые интегральные схемы памяти благодаря постепенному увеличению информационной емкости и, как следствие, снижению стоимости к середине 70-х годов заняли доминирующее положение в качестве элементной базы запоминающих устройств. К настоящему времени полупроводниковые ЗУ получили широкое распространение в различных устройствах вычислительной техники и автоматики. Современный уровень полупроводниковой технологии позволяет создавать большие интегральные схемы ЗУ (БИС ЗУ) емкостью до 4 млн. бит в корпусе. Для сравнения можно отметить, что распространенные до появления полупроводниковых ЗУ ферритовые устройства емкостью в несколько миллионов бит занимали объем стойки. С появлением БИС ЗУ высокой интеграции открылась возможность реализации запоминающих устройств емкостью в несколько гигобайт. Наряду с повышением степени интеграции БИС ЗУ наблюдается устойчивая тенденция повышения их быстродействия — время выборки приближается к пикосекундному диапазону.

Большинство выпускаемых промышленностью БИС ЗУ являются адресными с произвольной выборкой, обращение к которым производится по произвольно заданному номеру адреса. Такие схемы можно объединять, получая заданную емкость памяти. Существуют два больших класса полупроводниковых ЗУ: оперативные и постоянные.

К оперативным относятся ЗУ, выполняющие операции записи и считывания информации приблизительно за одинаковое время. Эти ЗУ по области применения можно условно разделить на три основных типа: средней емкости умеренного быстродействия, высокого быстродействия и большой емкости.

Устройства средней информационной емкости

умеренного быстродействия являются типичными ЗУ и правила их проектирования в той или иной степени распространяются на все остальные типы ЗУ. Элементная база их разнообразна и включает в себя МОП-схемы и биполярные схемы статического типа. Статические БИС ЗУ обусловливают функциональную простоту запоминающих устройств. С развитием КМОП-схем большой информационной емкости повышенного быстродействия непрерывно расширяется сфера применения рассматриваемых ЗУ в сторону повышения как емкости, так и быстродействия. Тем не менее, несмотря на эту тенденцию, ЗУ большой емкости и высокого быстродействия продолжают существовать и развиваться. Специфика этих устройств требует самостоятельного рассмотрения. Так, для оперативных ЗУ повышенного быстродействия — сверхоперативных ЗУ — необходима высокоскоростная элементная база ЭСЛ-типа. Они характеризуются большим потреблением мощности, предъявляют высокие требования к сокращению размеров и соответственно длин связей, обеспечению тепловых режимов и малого уровня помех. Совершенствование элементной базы, в частности разработка схем на основе арсенида галлия, позволяет сократить время выборки устройств до единиц наносекунд. Оперативные ЗУ повышенной информационной емкости строятся в основном на динамических БИС ЗУ, отличающихся в 4 раза большей степенью интеграции по сравнению со статическими БИС ЗУ. При этом приходится увеличивать объем оборудования ЗУ для регенерации информации. Устройства большой емкости могут содержать до нескольких тысяч, а в ряде случаев — десятков тысяч БИС ЗУ, что требует принятия определенных мер по обеспечению заданных показателей надежности. Средства повышения надежности особенно необходимы из-за подверженности БИС ЗУ динамического типа сбоям под воздействием альфа-частиц.

К постоянным относятся ЗУ, в которых запись информации выполняется при изготовлении, а также ЗУ, в которых длительность операции записи на несколько порядков больше длительности операции считывания. Несмотря на разнообразие элементной базы, построение постоянных ЗУ прак-

тически не отличается от построения ЗУ умеренного и высокого быстродействия. Существенные особенности таких устройств заключаются в способах и аппаратуре для стирания и занесения в них информации.

БИС ЗУ можно классифицировать по следующим основным признакам [1].

По способу обращения к массивам элементов памяти БИС ЗУ делятся на адресные и ассоциативные.

В адресных ЗУ обращение к ячейкам памяти производится по их физическим координатам, задаваемым двоичным кодом — адресом. Адресные ЗУ бывают с *произвольным обращением*, где допустим любой порядок следования адресов, и *с последовательным обращением*, где выборка ячеек памяти возможна только в порядке убывания или возрастания адресов. К ЗУ с последовательным обращением относятся, например, сдвигающие регистры.

В ассоциативных ЗУ поиск информации происходит по признакам хранимой информации, независимо от координат ячеек памяти.

По способу хранения информации БИС ЗУ делятся на статические и динамические.

В статических БИС ЗУ элементы памяти представляют собой бистабильные триггерные элементы, что определяет потенциальный характер управляющих сигналов и возможность считывания информации без ее разрушения.

В динамических БИС ЗУ для хранения информации используются запоминающие конденсаторы, что требует периодического восстановления (регенерации) состояния элементов памяти в процессе хранения информации. В современных БИС ЗУ регенерация совмешается, как правило, с обращением к элементу памяти или группе элементов. Имеются также БИС ЗУ с динамическим накопителем, со встроенной системой регенерации и синхронизации — квазистатические БИС ЗУ.

По технологическому исполнению БИС ЗУ делятся на биполярные, использующие схемотехнику ЭСЛ и ТТЛ, инжекционную И^{2}Л и БИС ЗУ на основе МОП-технологии, использующие структуры *p*-МОП, *n*-МОП, КМОП, КМОП — КНС [1].

Глава

1 Статические ОЗУ среднего быстродействия

1.1 Статические БИС ЗУ среднего быстродействия

Типовая структурная схема БИС ЗУ среднего быстродействия приведена на рис. 1.1. Накопитель (Нк) представляет собой матрицу элементов памяти (ЭП), объединенных в строки и столбцы. В накопителе применяются, как правило, триггерные элементы памяти. Входные схемы БИС ЗУ представляют собой логические элементы (формирователи), обеспечивающие сопряжение накопителя с входными устройствами по току и напряжению. Выбор ЭП накопителя осуществляется с помощью адресных сигналов A. Управляющие сигналы CS, $\overline{WR}$/RD, CEO служат для управления режимом работы БИС ЗУ (хранение, запись, считывание).

Сигнал $\overline{WR}$/RD определяет работу БИС ЗУ в режиме записи и считывания. Сигнал выбора микросхемы CS служит для организации объединения БИС ЗУ по выходу и перевода невыбранной микросхемы памяти в режим хранения; сигнал разрешения по выходу CEO разрешает работу выходных каскадов БИС ЗУ.

Выходные данные DO считываются из накопителя с помощью устройства считывания (УСч) и выдаются на выходы БИС ЗУ посредством выходных буферов (Бф). Устройство управления (УУ) предназначено для управления режимами работы БИС ЗУ. Устройство записи УЗп обеспечивает запись входной информации DI в накопитель БИС ЗУ. Адресные сигналы поступают на дешифраторы Дш X и Дш Y, с помощью которых выбирается данный элемент памяти накопителя.

Выходные буферные схемы связаны с устройством считывания и могут передать три логических состояния: 1, 0 и состояние высокого сопротивления на вы-

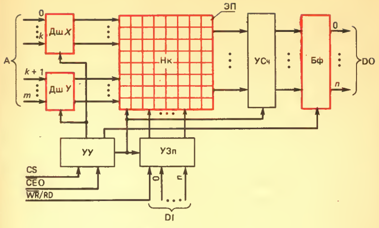


Рис. 1.1. Структурная схема БИС ЗУ

ходе. Сигнал CEO осуществляет блокировку (перевод в состояние высокого выходного сопротивления) выходных каскадов БИС ЗУ, но не переводит микросхему в режим хранения.

Электрические параметры, характеризующие работу БИС ЗУ, делятся на статические и динамические [2]. Статические параметры характеризуют работу БИС ЗУ в статическом режиме. Динамические параметры определяются временными процессами, происходящими в БИС ЗУ.

Статические БИС ЗУ среднего быстродействия имеют время цикла обращения от сотен наносекунд до единиц микросекунд. Эти БИС ЗУ выполняются по *n*-МОП, КМОП и И^{2}Л-технологиям.

БИС ЗУ на основе *n*-МОП-структур. Входные схемы БИС ЗУ на *n*-МОП-структурах реализуются, как правило, на основе инверторов с активной нагрузкой (рис. 1.2, *а*). Ключевой инвертор выполняется на *n*-МОП-транзисторах: один — нормально закрытый (VT1), другой — нормально открытый (VT2), работающий в режиме генератора тока, служит в качестве активной нагрузки. Резистор R и транзистор VT3 предназначены для защиты транзистора VT1 от возможного воздействия статического электричества [2].

Накопитель выполняется на элементах памяти, состоящих из *n*-МОП-транзисторов. Два из них (VT2 и

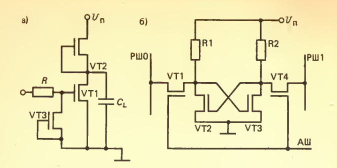


Рис. 1.2. Элементы статической БИС ЗУ на основе *n*-МОП-структур

VT3) образуют триггер, а два других (VT1 и VT4) являются двунаправленными ключами ввода-вывода данных (рис. 1.2, *б*). В триггере использованы резисторы нагрузки R1 и R2, имеющие высокие сопротивления, что обеспечивает низкое потребление в режиме хранения информации, а также уменьшение площади, занимаемой элементами памяти на кристалле.

В режиме хранения транзисторы VT1 и VT4 закрыты, а в режиме записи и считывания — открыты. При считывании информации из ЭП на разрядные шины РШ0 и РШ1 подается потенциал источника питания. В результате начинается разряд паразитной емкости той РШ0 или РШ1, которая связана с открытым транзистором (VT2 или VT3) триггера. После установления разности потенциалов на разрядных шинах, достаточной для различения состояния ЭП, информация считывается усилителем и поступает на выходные каскады. В режиме записи на разрядных шинах РШ0 и РШ1 устанавливаются разноименные уровни напряжений. В результате открывается соответствующий транзистор VT1 или VT4 и триггер переходит в устойчивое логическое состояние 0 или 1. Выходные каскады статических БИС ЗУ *n*-МОП-типа строятся по схеме инвертора и имеют три состояния (0, 1 и высокое выходное сопротивление, когда закрыты оба транзистора инвертора).

В настоящее время лучшие статические отечественные БИС ЗУ *n*-МОП-типа имеют информационную емкость от 1 до 64 К бит и быстродействие от 50 до 500 нс при мощности рассеивания в режиме хранения 150 мВт и в режиме обращения 0,4—0,8 Вт. Основные параметры статических БИС ЗУ *n*-МОП-типа, выпускаемых

отечественной промышленностью, приведены в табл. 1.1 (где $U_п = 5$ В $\pm$ 10 %). В качестве примера в табл. 1.2 и 1.3 приведены статические и динамические характеристики БИС ЗУ n-МОП-типа КР132РУ6А и для сравнения БИС ЗУ КМОП-типа КР537РУ8А и И^{2}Л-типа КР541РУ3, а на рис. 1.3 — их графическое изображение.

Для примера рассмотрим БИС ЗУ КР132РУ6А, выполненную по n-МОП-технологии, структурная схема которой приведена на рис. 1.4, а временные диаграммы работы — на рис. 1.5, *а, б, в*. Она имеет информационную емкость 16 К бит с организацией 16 384 слов на

Таблица 1.1

Условное обозначение БИС ЗУ	Организация, слов×разряд	Время выборки адреса, мкс	Время цикла считывания (записи), мкс	Потребляемая мощность в режиме обращения/хранения, мВт	Тип корпуса
К132РУ2А	1024×1	0,65	0,65	390	402.16—18
К132РУ2Б		0,95	0,95	440	402.16—18
КР132РУ2А		0,65	0,65	390	2103.16—6
КР132РУ2Б		0,95	0,95	440	2103.16—6
К132РУ3А	1024×1	0,075	0,075	660	4112.6—2
К132РУ3Б		0,125	0,125	550	4112.6—2
КР132РУ3А		0,075	0,075	660	2103.16—6
КР132РУ3Б		0,125	0,125	550	2103.16—6
КМ132РУ3А		0,075	0,075	660	201.16—8
КМ132РУ3Б		0,125	0,125	550	201.16—8
КР132РУ4А	1024×1	0,033	0,055	470/250	2103.16—2
КР132РУ4Б		0,070	0,110		
КМ132РУ5А	4096×1	0,085	0,085	990/165	2104.18—1
КМ132РУ5Б		0,120	0,120		
КР132РУ6А	16384×1	0,045	0,075	440/140	
КР132РУ6Б		0,070	0,120		2140Ю.20—3
КМ132РУ8А	1024×4	0,07	0,07	900/150	2104.18—1
КМ132РУ8Б		0,12	0,12		
КМ132РУ10А	65536×1	0,055	0,075	460/165	2108.22—9.01
КМ132РУ10Б		0,070	0,090		

Параметр, обозначение, единица	Значение параметра БИС ЗУ					
	КР132РУ6А		КР537РУ8А		КР541РУ3	
	минимальное	максимальное	минимальное	максимальное	минимальное	максимальное
Напряжение питания $U_п$, В	4,5	5,5	4,75	5,25	4,75	5,25
Ток потребления $I_{пот}$, мА:						
в режиме обращения	—	80	—	30	—	110
в режиме хранения	—	25	—	1	—	110
Входное напряжение, В:						
логического 0 U_{IL}	—	0,4	0	0,4	—	0,8
логической 1 U_{IH}	2,4	—	$0{,}9U_п$	—	2,0	—
Входной ток, мА:						
логического 0 I_{IL}	—	0,01	—	0,005	—	0,5
логической 1 I_{IH}	—	0,01	—	0,005	—	0,04
Выходное напряжение, В:						
логического 0 U_{OL}	—	0,40	—	0,40	—	0,45
логической 1 U_{OH}	2,4	—	2,4	—	2,4	—
Выходной ток, мА:						
логического 0 I_{OL}	—	5,0	—	1,6	—	8,0
логической 1 I_{OH}	—	2,0	—	0,1	—	5,2
Ток утечки на выходе, мкА:						
логического 0 I_{LOL}	—	50	—	5	—	40
логической 1 I_{LOH}	—	50	—	5	—	50
Входная емкость C_I, пФ	—	7	—	10	—	3
Выходная емкость C_O, пФ	—	12	—	—	—	6
Емкость нагрузки C_L, пФ	—	30	—	50	—	30
Емкость нагрузки предельная $C_{L\,lim}$, пФ	—	120	—	500	—	200

один разряд. Накопитель содержит 128×128 элементов памяти. Каждый дешифратор адреса строк и адреса столбцов имеет 7 входов и 128 выходов. Адресные формирователи служат для формирования входных адресных сигналов, поступающих на БИС ЗУ, и содержат схемы-защелки, работающие по спаду сигнала выбора микросхемы CS. Аналогичные схемы-защелки расположены на входах сигналов DI и WR/RD.

Схема ввода данных формирует сигнал входной информации. Усилитель записи-считывания обеспечивает режим записи и считывания данных. Ключи столбцов осуществляют развязку накопителя от дешифратора и формируют сигнал записи для накопителя. Устройство управления осуществляет синхронизацию работы всех

Таблица 1.3

Параметр, обозначение, единица	Значение параметра БИС ЗУ					
	КР132РУ6А		КР537РУ8А		КР541РУ3	
	минимальное	максимальное	минимальное	максимальное	минимальное	максимальное
Время выборки адреса $t_{A(A)}$, нс		45				150
Время выбора t_{CS}, нс	—	45	—	200	—	40
Время установления сигнала CS относительно адреса $t_{SU(A-CS)}$, нс	0	—	70	—	—	—
Время установления сигнала CS относительно сигнала WR $t_{SU(WR-CS)}$, нс	0	—	30	—	—	—
Время установления сигнала CS относительно сигнала DI $t_{SU(DI-CS)}$, нс	0	—	30	—	—	—
Время установления сигнала записи относительно адреса $t_{SU(A-WR)}$, нс	—	—	—	—	60	—
Время установления сигнала записи относительно входных данных $t_{SU(DI-WR)}$, нс	0	—	—	—	0	—
Время сохранения адреса после сигнала CS $t_{V(CS-A)}$, нс	—	—	60	—	—	—
Время сохранения входных данных после сигнала записи $t_{V(WR-DI)}$, нс	—	—	—	—	0	—
Время сохранения адреса после сигнала записи $t_{V(WR-A)}$, нс	—	—	—	—	50	—
Время удержания сигнала CS относительно сигнала записи $t_{H(WR-CS)}$, нс	—	—	—	—	90	—
Время установления сигнала WR относительно сигнала CS $t_{SU(CS-WR)}$, нс	40	—	—	—	—	—
Время удержания сигнала адреса относительно сигнала CS $t_{H(CS-A)}$, нс	25	—	—	—	—	—
Время удержания сигнала записи относительно сигнала CS $t_{H(CS-WR)}$, нс	25	—	—	—	90	—
Время удержания входных данных относительно сигнала CS $t_{H(CS-DI)}$, нс	25	—	—	—	—	—
Длительность сигнала CS $t_{W(CS)}$, нс	70 (110)	—	220	—	—	—
Время восстановления сигнала CS $t_{REC(CS)}$, нс	30	—	130	—	—	—

Параметр, обозначение, единица	Значение параметра БИС ЗУ					
	КР132РУ6А		КР537РУ8А		КР541РУ3	
	мини-мальное	макси-мальное	мини-мальное	макси-мальное	мини-мальное	макси-мальное
Время сохранения сигнала DI после сигнала CS $t_{V(CS-DI)}$, нс	—	—	30	—	—	—
Время удержания сигнала DI относительно сигнала WR $t_{H(WR-DI)}$, нс	35	—	—	—	—	—
Время сохранения сигнала WR после сигнала CS $t_{V(CS-WR)}$, нс	—	—	30	—	—	—
Время запрещения выходных данных после сигнала CS $t_{DIS(CS)}$, нс	—	—	—	—	—	50
Длительность сигнала записи $t_{W(WR)}$, нс	25	—	150	—	60	—

устройств в режимах записи, считывания, хранения. Выход БИС ЗУ имеет три рабочих состояния (логические 0 и 1, высокий выходной импеданс).

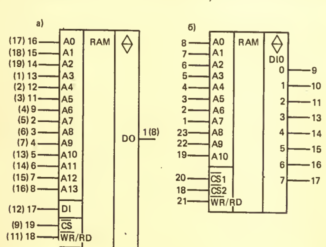


Рис. 1.3. Графическое изображение БИС ЗУ:
а — КР541РУ3 и КР132РУ6А (в скобках приведена цоколевка для микросхемы КР132РУ6А); *б* — КР537РУ8А

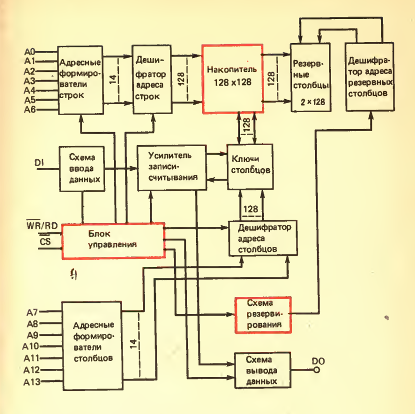


Рис. 1.4. Структурная схема БИС ЗУ КР132РУ6А

БИС ЗУ КР132РУ6А тактируется сигналом $\overline{CS}$. Кроме того, у этой БИС ЗУ в режимах записи и считывания по входам A0—A13, DI и $\overline{WR}$/RD происходит запоминание входных сигналов схемами-защелками по спаду сигнала $\overline{CS}$, после чего сигналы иа входах могут меияться в течеиие текущего цикла работы.

У БИС ЗУ КР132РУ6А имеется также режим считываиия-модификации-записи (рис. 1.5, *в*), заключающийся в том, что считываиие ииформации и последующая ее запись происходят в одиом цикле в один и тот же элемеит памяти. В этом режиме иа выходе БИС ЗУ DO при считываиии и записи сохраияется ииформация, определяемая в момеит иачала режима, т. е. при считываиии сохраияется считаниая информация до окоичания сигиала $\overline{CS}$. Кроме того, микросхемы КР132РУ6А имеют так называемый микромощиый режим храиеиия, при кото-



Рис. 1.5. Временные диаграммы работы БИС ЗУ КР132РУ6А и КР537РУ8А:

а — режим записи для микросхемы КР132РУ6А; *б* — режим считывания для микросхемы КР132РУ6А и КР537РУ8А; *в* — режим считывания — модификации — записи для микросхемы КР132РУ6А; *г* — режим записи для микросхемы КР537РУ8А

ром напряжение питания $U_п$ отключается и подается на вход сигнала $\overline{CS}$ (при этом остальные сигналы имеют произвольное логическое состояние). В этом режиме накопитель микросхемы питается от источника сигнала $\overline{CS}$. При этом потребляемая мощность уменьшается более чем в 20 раз.

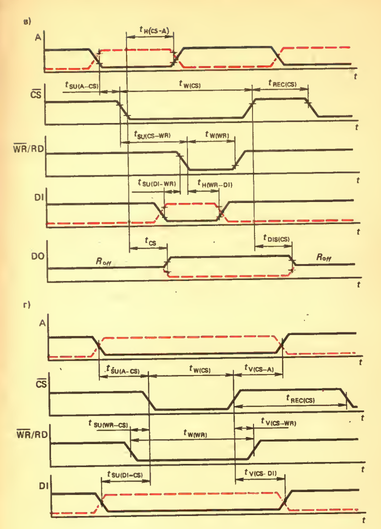


Рис. 1.5. Продолжение

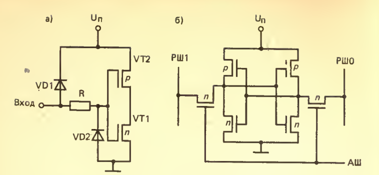


Рис. 1.6. Элементы статической схемы БИС ЗУ иа осиове КМОП-структур

БИС ЗУ на основе КМОП-структур. В последнее время КМОП-структуры становятся доминирующим типом схем при изготовлении БИС ЗУ вследствие сверхмалой потребляемой мощности в режиме хранения и высокой помехоустойчивости.

Входные схемы этих БИС ЗУ представляют собой инвертор на МОП-транзисторах противоположной проводимости (рис. 1.6, *а*). В таком инверторе в статическом режиме один из транзисторов всегда открыт, а другой закрыт. Поэтому в любом из логических состояний инвертора потребляемый ток определяется только токами утечки закрытого транзистора. Для защиты входов КМОП БИС ЗУ применяются зенеровские диоды. При этом если напряжение на входе превысит уровень напряжения питания, то откроется диод VD1; если оно понизится на значение, меньшее нулевого уровня, то откроется диод VD2. Таким образом обеспечивается эффективная защита входов от статического электричества.

Накопитель БИС ЗУ строится на статических триггерах, состоящих из шести МОП-транзисторов (рис. 1.6, *б*). Работа таких элементов памяти аналогична работе ранее рассмотренных ЭП статических *n*-МОП БИС ЗУ.

■ **Прн созданнн устройств памятн на КМОП-структурах следует учнтывать возможность возникновення в ннх так называемого эффекта защелкнвання, когда ток потребления резко возрастает н может быть уменьшен только за счет отключения н повторного включення нсточннка пнтання.**

Защелкивание происходит, как правило, в тех случаях, когда входные сигналы подаются в отсутствие напряжения питания или превышают уровень напряжения питания. Физической причиной защелкивания является наличие в КМОП-структуре паразитных четырехслойных *p-n-p-n*-элементов, обусловленных конструктивно-технологическими особенностями КМОП-структуры. Эффективным методом борьбы с защелкиванием является установка по входам, выходам и цепям питания, резисторов с сопротивлением порядка сотен ом, ограничивающих переходные токи, что, однако, приводит к потере быстродействия. Одним из перспективных направлений создания КМОП БИС ЗУ являются КМОП—КНС-структуры (кремний на сапфире), обеспечивающие высокую стойкость к воздействию ионизирующих излучений. Однако эти структуры имеют ряд существенных недостатков, связанных с особенностями исходного материала для их изготовления.

В настоящее время лучшие отечественные БИС ЗУ на КМОП-структурах имеют информационную емкость от 256 бит до 64 К бит, время выборки от 110 нс до 1 мкс при мощности рассеивания в режиме хранения сотни мкВт и в режиме обращения 15—150 мВт. Параметры БИС ЗУ на КМОП-структурах, выпускаемых отечественной промышленностью, приведены в табл. 1.4. На рис. 1.5, *б, г* в качестве примера приведена временная диаграмма работы БИС ЗУ КР537РУ8А в режимах считывания и записи.

БИС ЗУ на основе И^{2}Л-структур. Инжекционные структуры (И^{2}Л-структуры) позволяют по сравнению с ТТЛ-структурами увеличить в 5—10 раз функциональную плотность БИС ЗУ. Для получения быстродействия, близкого к быстродействию ТТЛ-структур, инжекционные структуры работают в режиме с большой потребляемой мощностью при записи (считывании) информации. Кроме того, они позволяют снижать мощность в 10^2—10^4 раз в режиме хранения данных. Инжекционные структуры работают в широком температурном диапазоне и технологически совместимы с обычными ТТЛ-схемами.

На рис. 1.7 приведена принципиальная электрическая схема элемента памяти И^{2}Л-типа. Два инвертора с инжекционным питанием и перекрестными связями образуют триггер. Транзисторы VT2 и VT4 выполняют роль инжекторов тока для транзисторов VT3 и VT5. Для

2—1552

Таблица 1.4

Условное обозначение БИС ЗУ	Организация, слов×разряд	Время выборки адреса, мкс	Время цикла считывания (записи) мкс	Потребляемая мощность в режиме обращения/хранения, мВт	Тип корпуса	Напряжение питания, В
К176РУ2	256×1	0,65	0,9	19	238.16—1	9±5%
К537РУ1А К537РУ1Б К537РУ1В	1024×1	1,1 1,7 3,4	1,3 2,0 4,0	14/0,5	402.16—18	5±10%
КР537РУ2А КР537РУ2Б	4096×1	0,41 0,58	0,50 0,67	28/2,75 28/5,5	2107.18—1	5±10%
КР537РУ3А КР537РУ3Б КР537РУ3В	4096×1	0,32	0,35	110/0,055 110/1,1 110/1,1	2107.18—1	5±10%
КР537РУ8А КР537РУ8Б	2048×8	0,22 0,40	0,35 0,53	160/6 160/11	239.24—2	5±5%
К561РУ2А К561РУ2Б	256×1	0,62 1.10	0,8 1,3	—/3 —/9,5	2106.16—2	6—12
КР537РУ10	2048×8	0,25	0,25	400/5,25	239.24—2	5±5%
КР537РУ11А КР537РУ11Б	256×16	0,44	0,53	26/0,16 26/0,44	239.24—1	5±10%
КР537РУ13А КР537РУ13Б	1024×4	0,12 0,20	0,12 0,20	325/0,15	2107.18—1	5±10%
КР537РУ14А КР537РУ14Б	4096×1	0,11 0,18	0,11 0,18	250/0,15	2107.18—1	5±10%
КР537РУ17	8192×8	0,20	0,20	330/22	2121.28—4	5±5%

связи с разрядными шинами РШ0 и РШ1 используются транзисторы VT1 и VT6, работающие при записи в нормальном режиме, а при считывании — в инверсном режиме. ЭП очень компактен из-за отсутствия резисторов, расположения диффузионных областей *n*-типа в одном общем «кармане» и совмещения функций одних и тех же диффузионных областей.

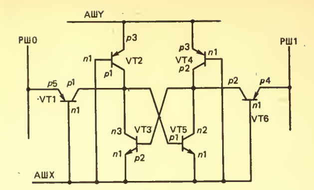


Рис. 1.7. Элемент памяти на И²Л-структурах

Рассмотрим функционирование ЭП. Базовые токи транзисторов VT3 и VT5, работающих в инверсном режиме, определяются инжекцией избыточных носителей из инжектора *p*3. При симметричной структуре оба тока равны. Чтобы схема имела два устойчивых состояния, инверсные коэффициенты усиления по току *n-p-n*-транзисторов VT3 и VT5 должны быть больше единицы. В рабочем состоянии *p*3-*n*1 переход смещен в прямом направлении и часть инжектируемых им носителей достигает областей *p*1, *p*2, вызывая появление базовых токов в транзисторах VT3 и VT5. Триггер переходит в одно из устойчивых состояний. Предположим, что транзистор VT3 открыт, а VT5 закрыт. Носители через прямо смещенный *p*2-*n*1-переход инжектируются в область *n*1, причем часть из них достигает области *p*4, вызывая появление тока в разрядной шине считываемого усилителя.

Рассмотрим режим записи. Допустим, что *n*1-*p*1-*n*2-транзистор VT5 закрыт и его надо открыть. Для этого отключается источник питания от инжектора *p*3 и в область *p*5 с разрядной шины РШ0 подается импульс тока записи. Часть носителей, инжектируемых переходом *p*5-*n*1, достигает области *p*1 (базы транзистора VT5) и открывает транзистор VT5, который разряжает емкость перехода эмиттер-базы открытого транзистора VT3. По окончании импульса тока записи фиксируется новое состояние ЭП подачей напряжения питания к инжектору *p*3.

Подробный анализ режима записи информации и определения времени записи проводится в [3].

Современные отечественные БИС ЗУ на И²Л-струк-

Таблица 1.5

Условное обозначение БИС ЗУ	Организация, слов×разряд	Время выборки адреса, мкс	Время цикла считывания (записи), мкс	Потребляемая мощность, мВт	Тип корпуса
К541РУ1	4096×1	0,12	0,15	525	427.18—1
К541РУ1А		0,07	0,13		427.18—1
КР541РУ1		0,12	0,15		2107.18—1
КР541РУ1А		0,07	0,13		2107.18—1
К541РУ2	1024×4	0,12	0,14	525	427.18—1
К541РУ2А		0,09			427.18—1
КР541РУ2		0,12			2107.18—1
КР541РУ2А		0,09			2107.18—1
К541РУ3	16384×1	0,15	0,17	565	405.24—2
К541РУ3А		0,10	0,15		405.24—2
КР541РУ3		0,15	0,17		2118.20—1

Таблица 1.6

Информационная емкость, бит	Время выборки, нс	Потребляемая мощность в режиме обращения, мВт/бит	Технология
64К	2,7—15	0,02—0,5	ЭСЛ
16К	35—100	0,05—0,1	ТТЛ
16К	100—200	0,03—0,05	И²Л
64К	25—300	0,01—0,2	*n*-МОП
256К	25—200	0,005—0,02	КМОП
16К	1,7—4,5	0,1—0,2	Арсенид галлия

турах имеют информационную емкость от 4 до 16 К бит, быстродействие 70—150 нс и мощность рассеивания ≈ 0,5 Вт на корпус. Параметры некоторых БИС ЗУ на И²Л-структурах, выпускаемых отечественной промышленностью, представлены в табл. 1.5 ($U_п = 5В \pm 5\%$). На рис. 1.8, *а, б* в качестве примера приведены временные диаграммы работы БИС ЗУ КР541РУ3 в режимах записи и считывания соответственно. БИС ЗУ является асинхронной по принципу действия. Поэтому она

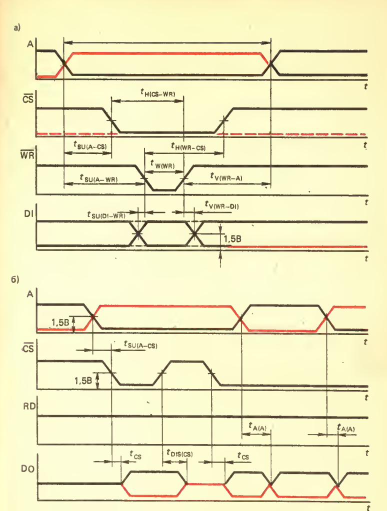


Рис. 1.8. Временные диаграммы работы БИС ЗУ КР541РУ3

может работать в режиме записи при постоянном сигнале CS или WR. Выходной каскад БИС ЗУ построен по схеме с тремя устойчивыми состояниями. Схемы обрамления накопителей БИС ЗУ выполнены на эмиттерно-связанной логике (ЭСЛ). Согласование внутренних ЭСЛ-уровней с внешними ТТЛ-уровнями осуществляется только во входных каскадах, что обеспечивает высокое быстродействие БИС ЗУ.

Развитие статических БИС ЗУ идет по пути увеличения информационной емкости, быстродействия, уменьшения потребляемой мощности и расширения функциональных возможностей БИС ЗУ.

Значения основных параметров (достигнутых) статических БИС ЗУ приведены в табл. 1.6, составленной на основе зарубежных источников [6]. При этом следует иметь в виду, что микросхемы с лучшим значением одного из параметров имеют в 2—4 раза худшее значение другого параметра.

Перспективной базой для ОЗУ считаются БИС ЗУ, реализуемые на арсениде галлия, параметры экспериментальных образцов которых также приводятся в табл. 1.6. Предполагается, что мощность рассеивания в таких схемах в режиме обращения составит не более 10 мкВт/бит, а время выборки не превысит 10 нс. Промышленный выпуск таких БИС ЗУ за рубежом ожидается к концу 80-х годов. Ожидается также, что с помощью электронно-лучевой и рентгеновской литографии будут получены первые образцы кристаллов с шириной линии 0,5 мкм, что позволит реализовать БИС ЗУ с информационной емкостью в несколько М бит на кристалл. При таких размерах элементов быстродействие БИС ЗУ будет равно менее 1 нс, потребляемая мощность остается практически неизменной — не более 0,5 Вт на корпус.

Дальнейшим развитием ЭВМ будут являться БИС ОЗУ, основанные на переходах Джозефсона, с возможным временем переключения элемента, равным 10 пс, и мощностью рассеивания в несколько микроватт.

Представляет интерес разработка БИС ЗУ с расширенными функциональными возможностями: со встроенными средствами обнаружения и коррекции одиночных сбоев, с перестраиваемой структурой по ширине информационного слова, со встроенными средствами диагностики.

1.2 Организация ОЗУ

Статические ОЗУ среднего быстродействия строятся на основе модулей ЗУ.

▲ **Модули ЗУ, составляющие часть блока ЗУ, представляют собой функционально законченные устройства, обеспечивающие заданный информационный объем и быстродействие, позволяющие при необходимости нара-**

щивать информационный объем ЗУ по адресам и разрядам.

При построении модуля ЗУ необходимо решить вопросы выбора БИС ЗУ и оптимальной организации накопителя ЗУ, т. е. соотношения числа слов и разрядов. Выбор типа БИС ЗУ определяется параметрами: емкостью, быстродействием, потребляемой мощностью, типом корпуса, габаритами, надежностью, стоимостью и условиями эксплуатации.

Основные характеристики модуля ЗУ зависят от способа объединения БИС ЗУ, предусматривающего соответствующие схемы согласования нагрузок по входам и выходам.

Существуют три способа увеличения информационной емкости накопителя модуля ЗУ: увеличение разрядности слов; увеличение количества слов; увеличение разрядности и количества слов.

Увеличение разрядности осуществляется за счет объединения адресных входов БИС ЗУ; информационные входы и выходы БИС ЗУ являются входами и выходами модуля ЗУ увеличенной разрядности.

Увеличение количества слов в модуле ЗУ осуществляется посредством объединения одноименных информационных входных и выходных шин БИС ЗУ. Адресные входы БИС, относящиеся к одноименным разрядам слов, объединяются и соединяются с одной частью разрядов кода адреса. Другая часть разрядов кода адреса подается на дешифратор выбора микросхем, с помощью которого выбирается одна БИС ЗУ в каждом из разрядов ЗУ.

Модульный принцип построения позволяет создавать блоки ЗУ с различными параметрами на базе ограниченного набора типовых модулей. При этом чаще всего не удается в равной степени использовать допустимую нагрузочную способность схем управления и БИС ЗУ, что приводит к некоторому увеличению аппаратурных затрат. Однако это позволяет несколько повысить быстродействие (при недогрузке уменьшается задержка в элементах), а также надежность модульных ЗУ.

Существует несколько способов организации модульных ЗУ [7]:

— модульное ЗУ с централизованной дешифрацией БИС ЗУ (рис. 1.9, *а*). В устройстве имеется специальный модуль (на рис. 1.9, *а* не пока-

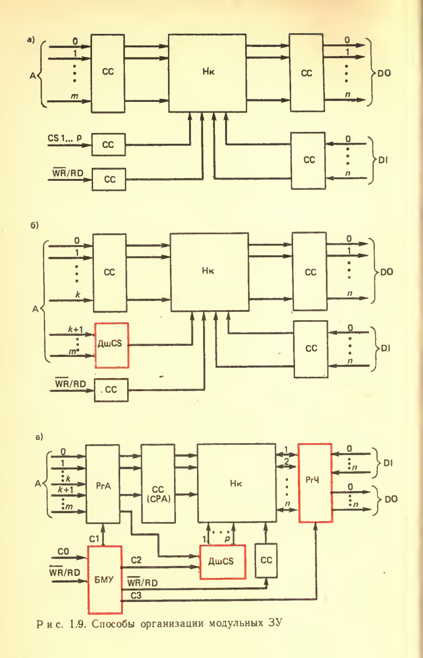


Рис. 1.9. Способы организации модульных ЗУ

зан) — центральный блок управления, в котором формируется временна́я диаграмма работы модуля памяти, имеются дешифратор ДшCS и другие вспомогательные схемы. В качестве центрального блока управления можно использовать ЭВМ, в которой применяется рассматриваемый модуль ЗУ. Недостаток такого способа организации ЗУ — увеличение числа соединений между модулями и центральным блоком управления ЗУ. Преимущество — упрощение схемы модуля ЗУ. Схемы согласования (СС) предназначены для согласования по нагрузкам и уровням сигналов БИС ЗУ и схем управления:

— модульное ЗУ с децентрализованной дешифрацией микросхем памяти (рис. 1.9, *б*). При этом выборка необходимой БИС ЗУ осуществляется с помощью дешифратора (ДшCS), размещенного непосредственно в модуле. Блок временно́го управления расположен или на специальном модуле, или в ЭВМ. Такой способ организации ЗУ имеет более гибкие функциональные возможности и меньшее число соединений по сравнению с первым;

— модульное ЗУ с децентрализованной дешифрацией и блоком местного управления — БМУ (рис. 1.9, *в*). В каждом модуле памяти кроме микросхем памяти содержатся блок местного управления и все согласующие схемы, а также дешифратор выбора микросхем (ДшCS). Недостаток такой организации ЗУ — усложнение самого модуля. Преимущество — однотипность схемы модуля и упрощение соединений между модулями, т. е. практически это законченный блок ЗУ.

1.3 Особенности проектирования ОЗУ

● **Основными факторами, определяющими структуру построения модуля памяти, являются входные и выходные нагрузочные характеристики БИС ЗУ и согласующих схем, а также их временны́е характеристики.**

Нагрузка на согласующие схемы управления модуля памяти, в котором накопитель выполнен на биполярных БИС, определяется входными токами логических 0 и 1 и входными емкостями.

Выходные каскады БИС ЗУ позволяют объединять их по схеме проводного ИЛИ, так как они, как пра-

вило, выполнены по схеме с открытым коллектором или тремя состояниями. При таком объединении должны соблюдаться требования технических условий на БИС ЗУ по выходным нагрузкам. Необходимо иметь в виду, что БИС ЗУ на МОП-структурах, как правило, строится по схеме с тремя состояниями и имеет высокую емкостную нагрузочную способность ($C_L \leqslant 100$ пФ) и малую токовую нагрузку — один вход ТТЛ-схемы. Большинство входных каскадов БИС ЗУ обеспечивает совместимость с ТТЛ-схемами. При несоблюдении этого (например, для ЗУ на p-МОП или КМОП) применяются специальные согласующие схемы или ТТЛ-схемы с открытым коллектором.

Число БИС ЗУ, используемых в накопителе модуля, определяется независимо от способов построения накопителя [2]:

$$Q_{нк} = \frac{N_м n_м}{Nn}, \tag{1.1}$$

где $N_м$ — количество чисел (адресов) в ОЗУ; $n_м$ — число разрядов в ОЗУ; N и n — количество чисел и разрядов в БИС ЗУ соответственно.

Объединение БИС ЗУ по входу. Под коэффициентом объединения $K_{об}$ по любой цепи накопителя (адресной, информационной и управления) понимается число одноименных входов БИС ЗУ модуля ЗУ, которые необходимо подключить к одному выходу соответствующей согласующей схемы. Коэффициент объединения по адресным цепям $K_{об\,A}$ и цепи режима $K_{об\,WR}$ (WR/RD) равен числу БИС ЗУ в накопителе:

$$K_{об\,A} = K_{об\,WR} = Q_{нк}. \tag{1.2}$$

Коэффициент объединения по информационным входным цепям

$$K_{об\,DI} = N_м/N. \tag{1.3}$$

Коэффициент объединения по цепям выбора микросхемы

$$K_{об\,CS} = n_м/n. \tag{1.4}$$

Коэффициент разветвления согласующей схемы $K_р$ по любой входной цепи накопителя определяется числом одноименных входов БИС ЗУ, которые можно подключить к выходу согласующей схемы.

Коэффициент разветвлеиия K_p для каждой цепи определяется отдельно из условия обеспечеиия согласоваиия токов логических **0**; **1** и емкостей и выбирается равным или меиьшим минимальиого зиачеиия, получеииого из выражеиия

$$K_p = \min\left\{ \frac{I_{OL}}{I_{IL}};\ \frac{I_{OH}}{I_{IH}};\ \frac{C_L - C_м}{C_I} \right\}, \tag{1.5}$$

где I_{OL}, I_{OH} — допустимые выходиые токи логических **0** и **1** согласующей схемы; C_L — емкость иагрузки согласующей схемы; $C_м$ — монтажиая емкость входиой цепи иакопителя; I_{IL}, I_{IH} — входиые токи логических **0** и **1** по одиому из входов БИС ЗУ; C_I — входная емкость одиого из входов БИС ЗУ.

Если в параметрах БИС ЗУ указаиы требоваиия по фроиту и спаду входиых импульсов или требуется обеспечить высокое быстродействие модуля ЗУ (с учетом фроитов входиых импульсов), то коэффициеит разветвлеиия согласующей схемы иеобходимо дополиительио определить из условия

$$K_p = \frac{t_{R\,доп} I_{OH}}{2{,}3 U_{IH\,min} C_L}. \tag{1.6}$$

Число согласующих схем m по каждой цепи иакопителя

$$m = K_{об}/K_p. \tag{1.7}$$

При этом в (1.7) принимается большее целое число.

Число согласующих схем по входиым цепям иакопителя модуля ЗУ определяется из выражеиия

$$m_{I\,нк} = m_A + m_{DI} + m_{WR}. \tag{1.8}$$

Рассмотрим отдельно каждую составляющую этого выражеиия.

Адресиая часть состоит из регистра адреса (PrA), согласующих схем размиожеиия адресных сигналов, подаваемых на адресиые входы БИС ЗУ (СРА), и схемы дешифрации сигиалов выбора микросхем памяти (ДшCS):

$$m_A = m_{pr\,A} + m_{cp\,A} + m_{CS}. \tag{1.9}$$

Регистр адреса обычио выполияется иа D-триггерах. Число разрядов (триггеров) PrA определяется из выражеиия

$$m_{pr\,A} = \log_2 N_м. \tag{1.10}$$

Схема размножения адреса представляет собой $b = \log_2 N$ идентичных пирамидальных схем, содержащих обычно 1—2 яруса [8]. Число ярусов и число элементов в каждом ярусе рассчитывается исходя из нагрузочной способности элементов, используемых в схеме размножения адреса (коэффициента разветвления согласующей схемы адреса $K_р$). Коэффициент разветвления согласующей схемы по одной адресной цепи в соответствии с (1.5) и (1.6) определяется из выражения

$$K_{pA} = \min\left\{ \frac{I_{OL}}{I_{ILA}};\ \frac{I_{OH}}{I_{IHA}};\ \frac{C_L - C_м}{C_{IA}};\ \frac{t_{R\,доп} I_{OH}}{2{,}3 U_{IH} \min C_{LA}} \right\}. \quad (1.11)$$

Число элементов в последнем ярусе каждой из b схем составляет

$$m_{ср\,A1} = \frac{Q_{нк}}{K_{р\,A}} = \frac{N_м n_м}{N n K_{р\,A}}. \quad (1.12)$$

Если $m_{ср\,A} \leqslant 1$, то схемы размножения не нужны и следует принять $m_{ср\,A1} = 0$. Если $m_{ср\,A1} \leqslant K_{р.с.с}$ ($K_{р.с.с}$ — нагрузочная способность согласующего элемента), то схема размножения состоит из одного яруса и число элементов (инверторов, формирователей), необходимых для размножения адреса, равно

$$m_{с.р\,A} = b m_{с.р\,A1}. \quad (1.13)$$

Если $m_{с.р\,A_1} > K_{р.с.с}$, то схема должна быть, по крайней мере, двухъярусной. В этом случае число элементов в предпоследнем ярусе определяется по формуле

$$m_{с.р\,A2} = m_{с.р\,A1} / K_{р.с.с}. \quad (1.14)$$

Если $m_{с.р\,A2} \leqslant K_{р.с.с}$, то схема размножения является двухъярусной и, следовательно,

$$m_{с.р\,A} = b(m_{с.р\,A1} + m_{с.р\,A2}) = \log_2 N (m_{с.р\,A1} + m_{с.р\,A2}). \quad (1.15)$$

Если $m_{с.р\,A2} > K_{р.с.с}$, то необходим еще один ярус, число элементов в котором определяется описанным выше способом.

Из приведенных рассуждений следует, что число ярусов в схеме размножения адреса определяется по формуле

$$d_{с.р\,A} = \log_{K_{р\,с\,с}} (Q_{нк} / K_{р\,A}), \quad (1.16)$$

а число элементов, необходимых для реализации схемы размножения адреса, равно

$$m_{\text{с.р A}} = \log_2 N(m_{\text{с.р A1}} + m_{\text{с.р A1}}/K_{\text{р.с.с}} + m_{\text{с.р A1}}/K^2_{\text{р.с с}} + \ldots). \quad (1.17)$$

Дешифратор выбора микросхем ДшCS предназначен для подачи сигнала обращения (СО) на вход CS только одной из строк микросхем памяти накопителя в каждый момент времени. Число выходов дешифраторов определяется как

$$S = N_{\text{м}}/N. \quad (1.18)$$

Число входов ДшCS определяется из формулы

$$q = \log_2 N_{\text{м}} - \log_2 N + 1. \quad (1.19)$$

Число элементов дешифратора ДшCS, выполненного на элементах малой степени интеграции (например, И — НЕ), равно

$$m_{\text{CS}} = \frac{K_{\text{об CS}}}{K_{\text{р CS}}} S = \frac{N_{\text{м}} n_{\text{м}}}{N n K_{\text{р CS}}}. \quad (1.20)$$

Коэффициент разветвления $K_{\text{рCS}}$ определяется по формулам (1.5) и (1.6) с учетом параметров входа CS БИС ЗУ.

Число согласующих схем по входным информационным цепям накопителя определяется из соотношения:

$$m_{\text{DI}} = \frac{K_{\text{об DI}}}{K_{\text{р DI}}} n_{\text{м}} = \frac{N_{\text{м}} n_{\text{м}}}{N K_{\text{р DI}}}. \quad (1.21)$$

Число согласующих схем по цепи режима ($\overline{\text{WR}}$/RD) определяется по формуле для одной адресной цепи:

$$m_{\text{WR}} = m_{\text{WR1}} + m_{\text{WR1}}/K_{\text{р.с.с}} + m_{\text{WR1}}/K^2_{\text{р.с с}} + \ldots, \quad (1.22)$$

где

$$m_{\text{WR1}} = Q_{\text{нк}}/K_{\text{pWR}} = N_{\text{м}} n_{\text{м}}/(N n K_{\text{pWR}}).$$

Объединение БИС ЗУ по выходу. Для увеличения информационной емкости выходы БИС ЗУ объединяют по проводному ИЛИ. В каждый момент времени можно выбрать только одну из объединенных микросхем ЗУ. При объединении БИС ЗУ по логическому ИЛИ входные нагрузочные характеристики рассчитываются аналогично характеристикам на логических микросхемах ТТЛ-типа.

При объединении БИС ЗУ по проводному ИЛИ тре-

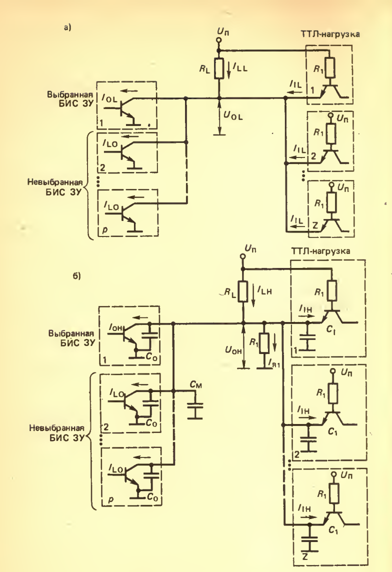


Рис. 1.10. Выходные цепи БИС ЗУ с открытым коллектором (ОК)

a — режим логического **0**; *b* — режим логической **1**

буемый коэффициент объединения по выходу в каждом разряде модуля ЗУ определяется как

$$K_{об\,0} = N_м / N. \tag{1.23}$$

Нагрузка на выбранную БИС ЗУ в схеме с открытым коллектором (рис. 1.10) определяется по формулам

$$\left.\begin{aligned} I_{LH} &= I_{OH} + (K_{об\,OI} - 1) I_{LO} + z I_{IH} + I_{R1}; \\ C_L &= (K_{об\,OC} - 1) C_O + z C_I + C_м, \end{aligned}\right\} \tag{1.24}$$

где I_{LH} — ток в режиме логической 1 через резистор R_L; I_{OH} — ток через выбранную БИС ЗУ; I_{IH} — входной ток логической 1 одной цепи нагрузки; I_{R1} — ток через резистор $R1$; $K_{об\,OI}$ — коэффициент объединения по выходу при токовой нагрузке; C_O — выходная емкость одной БИС ЗУ; C_I — входная емкость одной цепи нагрузки; z — число входных цепей нагрузки; $C_м$ — емкость монтажа; $K_{об\,OC}$ — коэффициент объединения по выходу при емкостной нагрузке; I_{LO} — выходной ток утечки невыбранной БИС ЗУ.

Нагрузка на выходе выбранной БИС ЗУ с тремя состояниями (рис. 1.11) определяется как

$$\left.\begin{aligned} C_L &= (K_{об\,OC} - 1) C_O + z C_I + C_м; \\ I_{OH} &= (K_{об\,OI} - 1) I_{LOH} + z I_{IH}; \\ I_{OL} &= (K_{об\,OI} - 1) I_{LOL} + z I_{IL}, \end{aligned}\right\} \tag{1.25}$$

где I_{IH}, I_{IL} — входной ток логических 1 и 0 одной цепи нагрузки; $K_{об\,OI}$ — коэффициент объединения по выходу при токовой нагрузке; I_{LOL}, I_{LOH} — выходные токи логических 0 и 1 в невыбранных БИС ЗУ (выходные токи утечки).

Допустимый коэффициент объединения по выходу при емкостной нагрузке для схем с ОК и тремя состояниями определяется из неравенства

$$K_{об\,OC\,доп} \leqslant \frac{C_{L\,доп} + C_O - z C_I - C_м}{C_O}, \tag{1.26}$$

где $C_{L\,доп}$ — допустимая емкость нагрузки БИС ЗУ.

Кроме того, коэффициент объединения при токовой нагрузке для схемы с ОК:

$$K_{об\,OI\,доп} \leqslant \frac{I_{LH} - I_{OH} + I_{LO} - z I_{IH} - I_{R1}}{I_{LO}}; \tag{1.27}$$

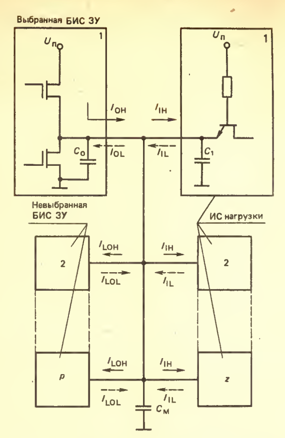


Рис. 1.11. Выходные цепи БИС ЗУ с тремя состояниями

для схемы с тремя состояниями:

— в режиме, логического 0:

$$K''_{об\ O\ I\ доп} \leqslant \frac{I_{OL} + I_{LOL} - zI_{IL}}{I_{LOL}}; \tag{1.28}$$

— в режиме логической 1;

$$K'_{об\ O\ I\ доп} \leqslant \frac{I_{OH} + I_{LOH} - zI_{IH}}{I_{LOH}}. \tag{1.29}$$

Допустимый коэффициент объединения по выходу выбирается из (1.26) — (1.29) по меньшему значению $K_{об.\ O\ доп}$. Если $K_{об\ O} < K_{об\ O\ доп}$, то выходы БИС ЗУ объе-

диняются по схеме проводного ИЛИ. Если $K_{об\,О} > K_{об\,О\,доп}$, то все выходы делятся на группы. Число групп

$$m_{О\,нк} = K_{об\,О}/K_{об\,О\,доп}. \tag{1.30}$$

Выходы БИС ЗУ, принадлежащие одной группе, объединяются по схеме проводного ИЛИ, а отдельные группы — по схеме логического ИЛИ. Для БИС ЗУ с ОК требуется дополнительный внешний резистор, в то время как для БИС ЗУ с тремя состояниями этого не требуется, поскольку выходной каскад сам является активным источником тока.

Сопротивление R_L в схеме с ОК определяется минимальным и максимальным значениями допустимых уровней на выходе БИС ЗУ. При этом максимальное значение $R_{L\,max}$ находится из условия, при котором все выходы микросхем имеют значение логической **1** (высокий уровень):

$$R_{L\,max} = \frac{U_{п\,min} - U_{OH\,min}}{I_{OH} + zI_{IH} + (K_{об\,О} - 1)I_{LO}}, \tag{1.31}$$

а минимальное значение $R_{L\,min}$ — из условия, при котором один из выходов микросхем имеет значение логического **0** (низкий уровень):

$$R_{L\,min} = \frac{U_{п\,max} - U_{OL\,min}}{I_{OL} - zI_{IL}}. \tag{1.32}$$

В (1.31) и (1.32) $U_{п\,max}$ и $U_{п\,min}$ — максимальное и минимальное напряжения питания микросхем; $U_{OH\,min}$, $U_{OL\,min}$ — минимальные уровни логической **1** и логического **0**; I_{OH}/I_{OL} — выходной ток логических **1** и **0** микросхемы ЗУ; I_{IH}, I_{IL} — входной ток логических **1** и **0** схемы нагрузки; I_{LO} — выходной ток невыбранной схемы; $K_{об\,О}$ — число объединенных выходов микросхемы ЗУ; z — число входов схем нагрузок.

Значение резистора R_L должно изменяться в пределах

$$R_{L\,min} \leqslant R_L \leqslant R_{L\,max}. \tag{1.33}$$

Если при расчете $R_L < 1$ кОм, то, чтобы выполнить требования ТУ на ИС ТТЛ-типа (R_L — нагрузка ИС ЗУ), необходимо между выходом БИС ЗУ и общей шиной включить дополнительный резистор $R1$, сопротивление которого определяется из соотношений:

$$\frac{1}{R_1} = \frac{1}{R'_{экв}} - \left(\frac{1}{R_O} + \frac{z}{R_{IH}} + \frac{K_{об\,О} - 1}{R_{LO}}\right); \tag{1.34}$$

$$\frac{U_{\text{OH min}} R_{\text{L}}}{U_{\text{п min}} - U_{\text{OH min}}} \leqslant R'_{\text{экв}} \leqslant \frac{U_{\text{OH max}} R_{\text{L}}}{U_{\text{п max}} - U_{\text{OH max}}}, \tag{1.35}$$

где $R'_{\text{экв}}$ — суммарное значение сопротивления параллельно включенных резисторов R_1, R_{IH}/z (входное сопротивление логических схем в режиме логической 1), R_{O} (выходное сопротивление выбранной ИС ЗУ) и $R_{\text{LO}}/(z-1)$ (выходное сопротивление невыбранных ИС ЗУ).

Обычно принимают $R_1 \approx R'_{\text{экв}}$.

Выбор значений сопротивлений R_{L} и R_1 влияет на быстродействие модуля ЗУ. Действительно, емкость C'_{L} на выходе БИС ЗУ (после окончания сигнала CS) заряжается в течение времени t_{REC} (когда все БИС ЗУ находятся в закрытом состоянии) через сопротивления R_{L} и R_1. При этом длительность фронта

$$t_{\text{R}} = 2{,}3 R_{\text{экв}} C'_{\text{L}}, \tag{1.36}$$

где

$$R_{\text{экв}} \approx R_{\text{L}} R_1 / (R_{\text{L}} + R_1);$$
$$C'_{\text{L}} = K_{\text{об O}} C_{\text{O}} + z C_{\text{I}} + C_{\text{м}}.$$

Необходимо, чтобы выполнялось условие

$$t_{\text{R}} \leqslant t_{R\,\text{доп}}, \tag{1.37}$$

где $t_{R\,\text{доп}}$ — допустимая по ТУ длительность фронта сигнала, подаваемого с БИС ЗУ на следующую ИС.

Учитывая (1.34) — (1.37), можно определить допустимый коэффициент объединения БИС ЗУ по выходу по быстродействию:

$$K^{t}_{\text{об O доп}} \leqslant \frac{t_{R\,\text{доп}}}{2{,}3 \dfrac{R_L R_1}{R_L + R_1} \left(C_{\text{L доп}} + C_{\text{O}} - z C_{\text{I}} - C_{\text{м}}\right)}. \tag{1.38}$$

После выбора сопротивлений R_L и R_1 необходимо проверить условие (1.38) и внести коррективы в значение $K_{\text{об O}}$, выбрав минимальное целое.

Число согласующих микросхем по выходу Нк модуля ЗУ для всех разрядов определяется исходя из формулы

$$m'_{\text{O нк}} = m_{\text{O нк}} n_{\text{м}}. \tag{1.39}$$

Число корпусов микросхем, используемых в модульном ЗУ, определяется исходя из соотношения

$$m_{\text{корп.зу}} = Q_{\text{нк}} + \frac{\log_2 N_{\text{м}}}{Q_{\text{рг A}}}\bigg|_{\text{бц}} + \frac{\log_2 N \left\{ m_{\text{срA1}} + \dfrac{m_{\text{срA1}}}{K_{\text{р с.с}}} + \dfrac{m_{\text{с рA1}}}{K^2_{\text{р с.с}}} + \ldots \right\}}{Q_{\text{ср A}}}\bigg|_{\text{бц}} +$$

$$+\frac{N_м n_м}{nNK_{p\,CS}Q_{CS}}\Big|_{бц}+\frac{N_м n_м}{Q_{DI}NK_{p\,DI}}\Big|_{бц}+$$

$$+\frac{\left\{m_{WRI}+\frac{m_{WRI}}{K_{p.c.c}}+\frac{m_{WRI}}{K^2_{p.c.c}}\right\}}{Q_{WR}}\Big|_{бц}+\frac{m_{O\,нк}n_м}{Q_O}\Big|_{бц}, \quad (1.40)$$

где $Q_{рг\,A}$, $Q_{c.p\,A}$, Q_{CS}, Q_{DI}, Q_{WR}, Q_O — чнсло элементов в одном корпусе выбранной микросхемы соответственно для регнстра адреса, схемы размножения адреса, дешифратора ДшCS, входной разрядной цепн, цепи режима, выходной цепи в модуле ЗУ; бц — блнжайшее большее целое число.

Расчет потребляемой мощности. Мощность, потребляемая модулем ЗУ, определяется потребляемымн мощностями накопителя и схем управления и согласования:

$$P_{пот.\,ЗУ}=P_{пот.\,нк}+P_{пот.\,упр}. \quad (1.41)$$

В некоторых БИС ЗУ, например в тактнруемых ОЗУ, потребляемая мощность в режимах обращення и хранення разная. Поэтому суммарная мощность потребления накопнтеля, построенного на таких БИС ЗУ, определяется соотношениями времени выборки и цикла обращения:

$$P_{пот.\,нк}=P_{пот.\,хр}\left(Q_{нк}-\frac{n_м}{n}\right)+P_{пот.\,обр}\frac{n_м}{n}\,\frac{t_{W\,(CS)}}{t_{CY}}+$$

$$+P_{пот.\,хр}\frac{n_м(t_{CY}-t_{W\,(CS)})}{nt_{CY}}. \quad (1.42)$$

Временны́е характеристики модуля ЗУ. При расчете временны́х характеристик модуля ЗУ ($t_{A(A)\,зу}$, $t_{CY\,зу}$) исходят нз временны́х параметров БИС ЗУ н задержек в схемах управления модуля ЗУ. Время выборки ЗУ больше времени выборки БИС ЗУ — $t_{A\,(A)}$ на величину задержки $t_{D(A)}$ на РгА, СРА, Дш CS н в выходных цепях:

$$t_{A(A)\,зу}=t_{A\,(A)}+t_{D\,PrA}+\max\{t_{D\,CpA},\ t_{D\,Дш\,CS}-$$

$$-t_{SU\,(A-CS)}\}+t_{DDO}, \quad (1.43)$$

где $t_{D\,prA}$, $t_{D\,c.pA}$, $t_{D\,Дш\,CS}$, t_{DDO} — соответственно задержки элементов цепей регистра адреса, схемы размножения адреса, дешнфратора CS и выходных цепей в модуле ЗУ.

Время цикла обращения, как правило, превышает время цикла обращения к БИС ЗУ на значение задержки сигнала в адресной части модуля ЗУ:

$$t_{CY\,зу}=t_{CY}+t_{D\,prA}+\max\{t_{D\,c.pA},\ t_{D\,Дш\,CS}-t_{SU(A^-CS)}\}. \quad (1.44)$$

В некоторых БИС ЗУ имеется регистр адреса. В этом случае задержка $t_{\mathrm{D\,prA}}$ не учитывается.

1.4 Контроль ОЗУ

● **Работоспособность БИС ЗУ определяется посредством контроля статических, динамических параметров и функционирования на алгоритмических тестах. Работоспособность модулей, блоков и систем ОЗУ проверяется на тех же алгоритмических тестах, которые позволяют определить наличие неисправности в объекте и место неисправности (задача диагностики).**

Кроме того, при функциональном контроле определяется зона работоспособности объекта в температурном диапазоне и при изменении питающих напряжений. Методы функционального контроля (ФК) основаны на сравнении с эталонными сигналами выходных реакций проверяемого ОЗУ на заданные входные воздействия. Главным элементом системы ФК является генератор тестов, предназначенный для формирования последовательности тестируемых и эталонных сигналов по заданному закону.

▲ **Наборы входных сигналов, задаваемые в виде машинных слов (кодов), определяют порядок обращения к элементам и микросхемам памяти и последовательность выполняемых операций. Заключение о правильности функционирования ЗУ делают либо по результатам выполнения очередного элементарного теста (останов по ошибке), либо по конечному результату выполнения полного теста. Эффективность ФК определяется главным образом построением теста.**

Существуют различные способы генерации тестовых последовательностей для контроля ЗУ [9]. Наиболее широко используются а л г о р и т м и ч е с к и е ф у н к ц и о н а л ь н ы е т е с т ы (АФТ), содержащие последовательность элементарных тестов, изменяемых по известному закону (алгоритму). АФТ должны обладать двумя противоречивыми свойствами: с одной стороны, обеспечивать достаточную полноту контроля, а с другой — быть достаточно короткими по времени, чтобы обеспечить производительность проверки ЗУ при большой информационной емкости. Непосредственный перебор всех 2^{N+K} возможных состояний ОЗУ (N — число адресов ОЗУ, K — число функциональных входов)

нереален при $N > 64$ К бит. Поэтому алгоритмы ФК имеют ограниченный набор входных тестовых комбинаций (циклов обращения), обнаруживающих типовые отказы в дешифраторе и накопителе ОЗУ.

В последнее время получили распространение псевдослучайные тесты, вырабатываемые специальными генераторами. Аппаратурные затраты при этом минимальны, выходная информация сворачивается в сигнатуру, которая является фиксированной для данного временного интервала теста [10]. Формирование сигнатуры происходит с помощью 16-разрядного последовательного регистра сдвига с обратными связями. В качестве генератора входных воздействий, как правило, при этом применяется двоичный счетчик.

Разработка АФТ для ЗУ сложна, так как существуют характерные неисправности, которые нельзя рассматривать как 0 или 1, например одновременный выбор нескольких адресов в ЗУ, отсутствие выборки или неоднозначность ее при отказе в дешифраторе адреса. Еще одним важным фактором, влияющим на правильность функционирования, являются временные характеристики (время выборки, время восстановления). Таким образом, АФТ должны учитывать при контроле, не приводят ли эти характеристики к сбоям в работе. Кроме того, на работу оказывают влияние эффекты, связанные с топологией и особенностью схемотехники и технологии применяемых БИС ЗУ. Поэтому наиболее эффективными являются АФТ, учитывающие все особенности структуры и схемы ЗУ.

В табл. 1.7 дан ряд типовых алгоритмов ФК ЗУ [9], имеющих практическое применение. По числу циклов обращения к тестируемому ОЗУ, выраженному через его информационную емкость N слов, алгоритмы ФК делятся условно на три типа: N, N^2, $N^{3/2}$.

Линейные алгоритмы типа N используются для предварительной оценки ОЗУ на отсутствие катастрофических неисправностей. Для контроля ОЗУ из линейных тестов практически пригоден лишь «Марш», так как достоверность контроля другими линейными алгоритмами недостаточна.

Квадратичные алгоритмы типа N^2 являются наиболее эффективными для контроля функционирования ЗУ всех типов. Попарные передачи информации между любыми парами элементов памяти позволяют эффективно обнаруживать как статические, так и динамические отказы

Таблица 1.7

Наименование АФТ	Длительность АФТ в циклах	Проверяющая способность теста
Последовательная запись и считывание	$4N$	Наличие одного годного ЭП (отсутствие записи)
Шахматный код	$4N$	Запись, отсутствие выборки в дешифраторе
Считывание и запись в прямом и обратном направлениях	$5N$	Накопитель, дешифратор, время выборки
Последовательное заполнение со считыванием (Марш)	$10N$	То же
Диагональ	$2(N+2N^{1/2})$	Дешифратор адреса, запись
Четность (нечетность) адреса	$4N$	Дешифратор адреса
Обращение по прямому и дополняющему адресам	$10N$	Дешифратор, накопитель, время выборки
Обращение к соседним адресам	$128N$	Взаимное влияние ЭП в накопителе
Считывание по столбцам	$8N$	Неоднозначность выборки, отсутствие записи
Бегущая **1 (0)**	$2(N^2+2N)$	Влияние записи в ЭП на сохранность информации в Нк
Попарное считывание (Пинг-понг)	$2(2N^2+2N)$	Накопитель, дешифратор, время выборки
Попарное считывание с модификацией (Галоп)	$2(3N^2+3N)$	То же
Попарная запись-считывание	$2(4N^2-2N)$	Накопитель, дешифратор, временные параметры, взаимное влияние ЭП-накопителя
Попарная запись-считывание с полным перебором	$2(8N^2-8N)$	То же
Бегущий столбец	$2(N^{3/2}+3N)$	Дешифратор, накопитель
Бегущая строка	$2(N^{3/2}+3N)$	То же
Попарное считывание по строке	$2(2N^{3/2}+3N)$	Накопитель, дешифратор
Попарное считывание по столбцу	$2(2N^{3/2}+3N)$	То же
Попарное считывание по строке и столбцу (Баттерфляй)	$2(4N^{3/2}+6N)$	»
Попарное считывание по диагонали	$2(2N^{3/2}+3N)$	»
Сдвигаемая диагональ	$2(N^{3/2}+3N)$	»

ЗУ. Применение квадратичных алгоритмов ограничивается резким ростом длительности контроля с увеличением емкости ЗУ.

Алгоритмы типа $N^{3/2}$ являются компромиссом между длительностью и достоверностью контроля памяти. Они широко используются при контроле ОЗУ большой емкости.

Для контроля времени регенерации динамических ОЗУ используют специальные алгоритмы, позволяющие фиксировать паузы между циклами обращения к каждому (или группе) элементу памяти.

Ниже приводятся описания некоторых тестов ФК [1].

Алгоритмические функциональные тесты типа N.

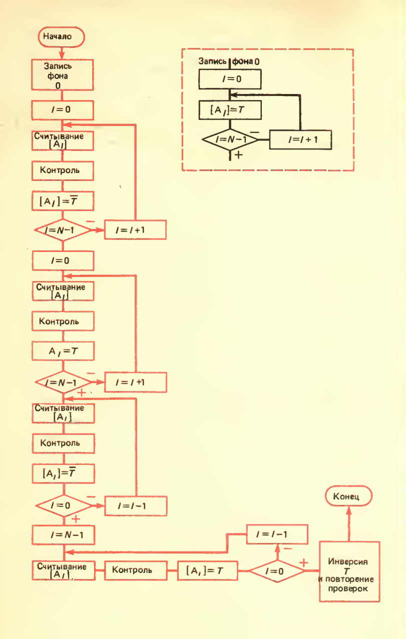
Тест «Марш» (рис. 1.12). Последовательно по всем адресам с $A_i = A_0$ до $A_i = A_{N-1}$ производится запись информации $T = 0$ (запись фона 0). Для каждого адреса считывается информация T и записывается $\bar{T}$ при изменении адреса от A_0 до A_{N-1}. Начиная с адреса $A_i = A_0$ до $A_i = A_{N-1}$ считывается информация $\bar{T}$ и записывается T при изменении адресов от A_{N-1} до A_0 (обратный перебор). Затем считывается информация T и записывается $\bar{T}$ при изменении адресов от A_{N-1} до A_0. Производится инверсия фоновой информации (запись фона 1) и цикл проверки повторяется.

Тест «Диагональ» (рис. 1.13). Последовательно по всем адресам производится запись фона 0. По всем адресам, у которых совпадают номер строки и столбца (диагональ), т. е. $A_i = A_j$, записывается информация $\bar{T}$. Далее происходит считывание информации по адресам A_{ij}, меняющимся по столбцам в соответствии с алгоритмом. Производится инверсия фоновой информации (запись фона 1) и цикл проверки повторяется.

Тест «Четность — нечетность адреса» (рис. 1.14). Последовательно по всем адресам, у которых число единиц в адресном коде четно, записывается прямая информация T, а если нечетно, то записывается $\bar{T}$. Информация считывается последовательно по адресам от A_0 до A_{N-1}. По всем адресам, у которых число единиц в адресном коде четно, записывается информация $\bar{T}$, а если нечетно, записывается T. Затем информация считывается последовательно по адресам от A_0 до A_{N-1}.

Алгоритмические функциональные тесты типа N^2.

Тест «Бегущая 1 (0)» (рис. 1.15). В первый контрольный адрес $A_k = A_0$ записывается инверсная ин-



Начало
Запись фона 0
I=0
Считывание [A_I]
Контроль
[A_I]=T̄
I=N−1
I=I+1
I=0
Считывание [A_I]
Контроль
A_I=T
I=N−1
I=I+1
Считывание [A_I]
Контроль
[A_I]=T̄
I=0
I=I−1
I=N−1
Считывание [A_I]
Контроль
[A_I]=T
I=0
I=I−1
Инверсия T и повторение проверок
Конец
Запись фона 0
I=0
[A_I]=T
I=N−1
I=I+1

формация $\bar{T}$, а во все другие — прямая информация T. Информация считывается последовательно с $A_I = A_1$ до A_{N-1}. Последней считывается информация $\bar{T}$ по адресу A_k с последующей записью в него информации T. Эта последовательность повторяется для адресов $A_k = A_1$ и т. д. до $A_k = A_{N-1}$. Затем производится инверсная информация в контрольном адресе A_k и текущих адресах A_I и цикл проверки повторяется.

Тест «Галоп» (рис. 1.16). В первый контролируемый адрес $A_k = A_0$ записывается информация $\bar{T}$, а во все другие адреса $(A_I = A_1) \dots (A_I = A_{N-1})$ — информация T. Последовательно считываются адреса $A_I = A_1$, $A_I = A_k$, $A_I = A_1$, $A_I = A_2$, $A_I = A_k$, $A_I = A_2$, $A_I = A_3$, $A_I = A_k$, $A_I = A_3$ и т. д., пока все пары переходов, включая адрес $A_k = A_0$, не будут проверены. После этого в адрес $A_k = A_0$ записывается информация T. Эта последовательность повторяется для адреса $A_k = A_1$ и т. д. до $A_k = A_{N-1}$. Затем производится инверсия информации в контрольном адресе A_k и текущих адресах A_I и цикл проверки повторяется.

Тест «Попарная запись-считывание с полным перебором» (рис. 1.17). Последовательно по всем адресам производится запись фона **0**. В адрес $A_I = A_1$ записывается информация $\bar{T}$, а в адрес $A_k = A_0$ — информация T; затем происходит считывание информации из адресов $A_I = A_1$ и $A_k = A_0$. В адреса $A_I = A_1$ и $A_k = A_0$ записывается информация T с последующим считыванием ее из этих адресов. Это повторяется для адресов $A_I = A_2$, $A_I = A_3$ и т. д. до $A_I = A_{N-1}$ с контрольным адресом $A_k = A_0$. Далее цикл проверки повторяется для адресов $A_k = A_1$, $A_k = A_2$ и т. д. до $A_k = A_{N-1}$. Последовательно по всем адресам производится запись информации $\bar{T}$ и цикл проверки повторяется.

Рис. 1.12. Алгоритм теста «Марш».

Здесь и далее принимается:
«Контроль» — сравнение считанной информации с эталонной: A_I — текущий адрес ячейки I; $[A_I]$ — содержимое ячейки с адресом A_I; T — информация логического 0; $\bar{T}$ — информация логической 1. В структурных схемах алгоритмов элементы матрицы памяти могут иметь либо один индекс I, изменяющийся от 0 до $N-1$, где $A_к$ — контролируемый адрес, либо двойной индекс I, J, где I изменяется от 0 до $\sqrt{N}$ — по строкам матрицы, в J — от 0 до $\sqrt{N}$ — по столбцам матрицы. В этом случае A_{SR} — контролируемые адреса матрицы памяти, где S — по строкам, а R — по столбцам; A_{LM} — конечный адрес строки L и столбца M.

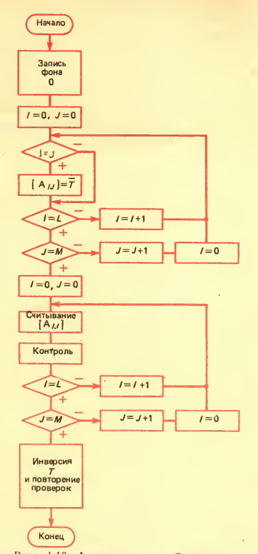


Рис. 1.13. Алгоритм теста «Диагональ»

Алгоритмические функциональные тесты типа $N^{3/2}$. Тест «Бегущий столбец» (рис. 1.18). В адреса первого столбца A_{IR} записывается информация $\bar{T}$, в остальные адреса — информация T. Все адреса по-

следовательно считываются с последующей записью в адреса первого столбца информации T. Далее последовательность операций повторяется для адресов второго столбца и т. д. до последнего.

Тест «Баттерфляй» (рис. 1.19). В первый контролируемый адрес $A_{SR} = A_{00}$ записывается информация $\bar{T}$, а во все другие адреса (текущие адреса A_{1j}) — информация T. Адрес A_{SR} попарно считывается с адресами первой строки и первого столбца. В адрес A_{SR} записывается информация T и считывается по этому адресу. Далее информация $\bar{T}$ записывается в адрес $A_{SR} = A_{01}$; попарное считывание адреса A_{01} происходит с адресами первой строки и второго столбца. Эта последовательность осуществляется для всех адресов A_{SR} от первой до последней строки; при этом попарное считывание осуществляется для контролируемого адреса A_{SR} и текущих адресов A_{1j} строки и столбца, на котором расположен контролируемый адрес A_{SR}. Затем происходит запись инверсной информации в адрес A_{SR} и текущие адреса A_{1j} и цикл проверки повторяется.

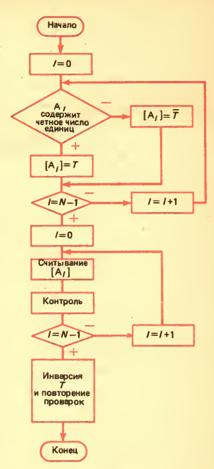


Рис. 1.14. Алгоритм теста «Четность — нечетность адреса»

Тест «Сдвигаемая диагональ» (рис. 1.20). Последовательно по всем адресам записывается информация T. В адреса центральной диагонали записывается информация $\bar{T}$. Далее происходит считывание информации из адресов по столбцам. Аналогичная операция

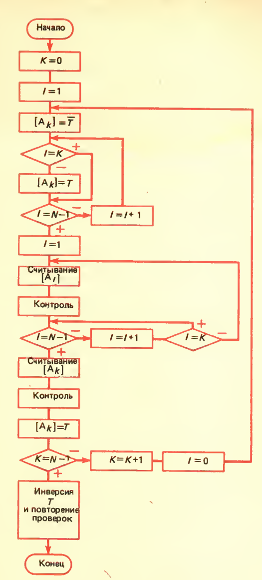


Рис. 1.15. Алгоритм теста «Бегущая 1 (0)»

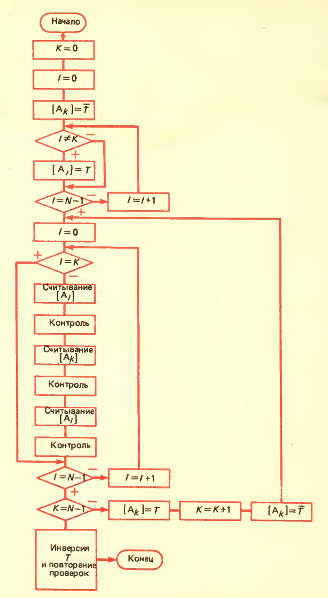


Рис. 1.16. Алгоритм теста «Галоп»

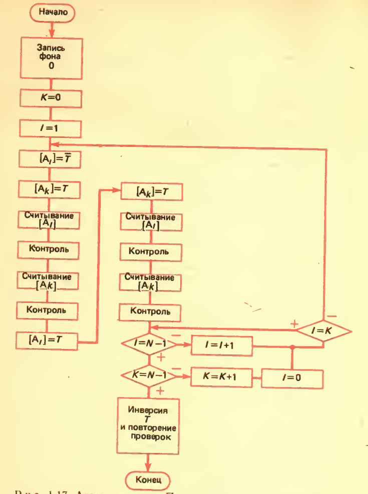


Рис. 1.17. Алгоритм теста «Попарная запись-считывание с полным перебором»

повторяется для всех адресов нецентральных диагоналей, число которых равно $\sqrt{N}-1$. Затем происходит инверсия информации и цикл проверки повторяется.

Рассмотренные выше АФТ проверяют одновременно все разряды модуля (блока) ОЗУ и последовательно БИС ЗУ, принадлежащие каждому разряду, при этом в табл. 1.7 длительность АФТ увеличивается в $K_{об\,о}$ раз.

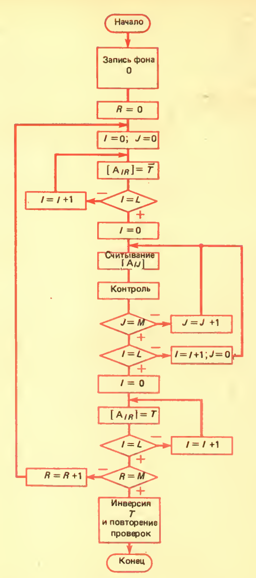


Рис. 1.18. Алгоритм теста «Бегущий столбец»

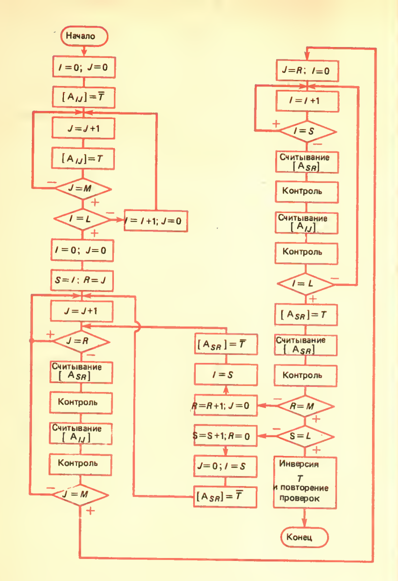


Рис. 1.19. Алгоритм теста «Баттерфляй»

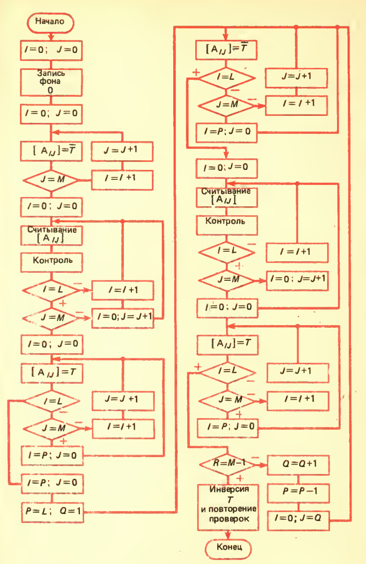


Рис. 1.20. Алгоритм теста «Сдвигаемая диагональ»:
P, *Q* — промежуточные переменные

Для контроля взаимодействия разрядов, как правило, применяются тесты типа «Бегущий 0 (1)» или «Попарная запись-считывание», т. е. те тесты, которые записывают и считывают в данный (контролируемый) разряд модуля ОЗУ информацию, отличную от других разрядов. Обычно каждый в отдельности АФТ не может решить полностью задачи эффективного контроля любых типов ЗУ. Поэтому необходимо для ФК ЗУ применять совокупность рассмотренных тестов. При этом следует учитывать структуру ЗУ, емкость и быстродействие. Для обеспечения работоспособности модулей (блоков) ЗУ следует проводить ФК при граничных питающих напряжениях, а иногда и при крайних температурах.

1.5 Практический расчет модуля ОЗУ среднего быстродействия

Рассмотрим пример расчета модуля статического ОЗУ с информационной емкостью $N_м$ слов и $n_м$ разрядов. Как правило, $N_м > N$ и $n_м > n$.

Модуль ОЗУ построим по структурной схеме, приведенной на рис. 1.9, *в*.

Запоминающее устройство в соответствии со структурной схемой состоит из накопителя, адресной части, включающей в себя регистр адреса (РгА), схему размножения адреса (СРА), дешифратор выбора микросхем (Дш CS), разрядной части (регистра числа — РгЧ) и блока местного управления (БМУ).

Примем для определенности $N_м = 64$ К; $n_м = 16$. Предположим, что в качестве микросхемы памяти накопителя используется БИС ЗУ типа К541РУ3, статические и динамические параметры которой приведены соответственно в табл. 1.2 и 1.3. В качестве схем управления накопителем выберем микросхемы серии К555 [11] и оценим ориентировочные затраты оборудования, необходимые для реализации модуля ОЗУ в соответствии с методикой, изложенной в § 1.3.

Накопитель, как правило, представляет собой прямоугольную матрицу микросхем памяти, имеющую $N_м/N$ строк и $n_м/n$ столбцов.

В соответствии с (1.1) общее количество микросхем в накопителе модуля ЗУ

$$Q_{нк} = (64\text{ К}/16\text{ К})\,(16/1) = 64.$$

Регистр адреса обычно выполняется на D-триггерах, например КМ555ТМ8 (4D триггера находится в корпусе). Число разрядов определяется из (1.10):

$$m_{\text{РгА}} = 16.$$

Для построения схемы размножения адреса используем элементы К555ЛН1 — 6 инверторов в одном корпусе, имеющих следующие параметры [11]: $I_{OL} = 8$ мА; $I_{OH} = 0,4$ мА, $C_{L\,lim} = 150$ пФ.

По (1.11) определим значение $K_{рА}$:

$$K_{рА} = \min\left\{ \frac{8\text{ мА}}{0,5\text{ мА}};\ \frac{0,4\text{ мА}}{0,04\text{ мА}};\ \frac{150\text{ пФ} - 15\text{ пФ}}{3\text{ пФ}} \right\} = 10.$$

В соответствнн с (1.12) чнсло элементов в последнем ярусе СРА

$m_{с.р\ А1} = 64/10 \approx 7,$

так как $m_{с.р\ А1} < K_{р.рг\ А}$ (нагруэочной способности элемеитов регистра адреса), то схема размножения состонт нэ одного яруса.

Прн этом в соответствнн с (1.13):

$m_{с.р\ А} = 14 \cdot 7 = 98.$

Рассчнтаем дешифратор выбора мнкросхем (Дш CS). В соответствнн с (1.18) чнсло выходов дешнфратора CS $S = 4$, а в соответствнн с (1.19) чнсло входов Дш CS $q = 3$.

Постронм Дш CS на элементах К555ИД4 (сдвоенный дешнфратор на два входа и четыре выхода).

По (1.11) находим значенне $K_{р\ CS}$:

$$K_{р\ CS} = \min\left\{\frac{4\ мА}{0{,}5\ мА};\ \frac{0{,}4\ мА}{0{,}04\ мА};\ \frac{150\ пФ - 15\ пФ}{3\ пФ}\right\} = 8.$$

По (1.4) определяем коэффнцнеит объедннеиия по цепн CS накопителя

$K_{об\ CS} = 16/1 = 16.$

Так как $K_{р\ CS} < K_{об\ CS}$, то на каждый выход дешифратора CS необходимо поставнть согласующую схему (раэмиожнтель сигиала CS).

В качестве согласующей схемы выберем мнкросхему К555ЛИ1 (четыре элемента 2И в одиом корпусе). По (1.20) определнм чнсло согласующих схем дешнфратора CS:

$m_{CS} = 16 \cdot 4/8 = 8.$

Определнм чнсло корпусов интегральных мнкросхем адресной частн:

$$Q_{корп\ А} = \frac{16}{4}\ (ТМ\,8) + \frac{98}{6}\ (ЛН\,1) + \frac{8}{4}\ (ЛИ\,1) + \frac{4}{4}\ (ИД\,4) =$$

$= 24$ корпуса.

Раэрядиая часть включает в себя регнстр чнсла и схемы согласовання (раэмножеиня) входных даиных.

По (1.23) определнм коэффнциент объедннення по выходу:

$K_{об\ О} = 64\ К/16\ К = 4.$

По (1.26) — (1.29) найдем допустимый коэффнцнент объедииеиня по выходам:

$K'_{об\ О1\ доп} = (5{,}2 + 0{,}05 - 0{,}02)/0{,}05 \approx 100;$

$K''_{об\ О1\ доп} = (8 + 0{,}04 - 0{,}36)/0{,}04 \approx 190;$

$K_{об\ ОС\ доп} = (100 + 6 - 3 - 15)/6 \approx 14.$

Прнннмаем $K_{об\ О\ доп} = 14$. Такнм образом, $K_{об\ О\ доп} > K_{об\ О}$, поэтому выходы БИС ЗУ объедиияем по четыре по схеме проводного ИЛИ.

В качестве регистра чнсла прнмеиим мнкросхему К555КП13 (четыре двухвходовых мультнплексора с запомннаннем).

По (1.3) определнм коэффнциеит объедннення по входным ннформацнониым цепям иакопнтеля:

$K_{об\ DI} = 64\ К/16\ К = 4.$

На выходе регнстра примеинм буферные уснлнтели К555ЛП8 с тремя состояниямн, что позволнт органиэовать общую магнстраль

входных и выходных данных, а также возможность наращивания информационной емкости ЗУ, объединяя несколько модулей по проводному ИЛИ.

Выходы регистрв числа подаем на входы DI накопителя, при этом в соответствии с (1.11)

$$K_{\text{р DI}} = \min\left\{ \frac{4\ \text{мА}}{0{,}86\ \text{мА}};\ \frac{0{,}4\ \text{мА}}{0{,}06\ \text{мА}};\ \frac{(150-15)\ \text{пФ}}{(3+3)\ \text{пФ}} \right\} = 4{,}6.$$

Так как для элемента К555КП13 $K_{\text{р DI}} > K_{\text{об DI}}$ накопителя, то согласующих схем по DI для накопителя не ставим. Для данного случая число корпусов разрядной части

$$Q_{\text{DI O}} = \frac{16}{4}\ (\text{КП 13}) + \frac{16}{4}\ (\text{ЛП 8}) = 8.$$

Блок местного управления (БМУ) предназначен для выработки сигналов, управляющих работой регистров и накопителя, если процессор не может обеспечить подачу этих сигналов в модуль (блок) ЗУ.

На вход БМУ поступает сигнал обращения (СО) к данному модулю (блоку) и сигнал режима работы (запись-считывание — $\overline{\text{WR}}$/RD). БМУ может быть построен на различных логических элементах, например на инверторах с применением *LC*-цепочек (линий задержек) или на одновибраторах (АГ1, АГ3). Если есть задающая частота синхронизации с процессора, то БМУ можно выполнить в виде распределительного устройства, выполненного различными способами. Например, в качестве БМУ возможно применение контроллеров синхронизации типа КР583ВГ1. Оборудование для выработки сигнала WR/RD равно оборудованию одного из адресных сигналов, т. е. в соответствии с (1.22)

$$m_{\text{WR}} = \frac{64\ \text{K} \cdot 16}{16\ \text{K} \cdot 10} = 6{,}4.$$

1.6 Основные направления развития ОЗУ среднего быстродействия

Развитие ОЗУ среднего быстродействия ожидается по следующим направлениям:

— улучшения технических характеристик — увеличения информационной емкости, повышения надежности, снижения потребляемой мощности;

— улучшения конструктивных параметров — снижения массы и габаритных размеров;

— расширения функциональных возможностей модулей ОЗУ.

Увеличение информационной емкости модулей ОЗУ и снижение потребляемой мощности обусловливаются увеличением информационной емкости БИС ЗУ, изготовленных по КМОП-технологии. По зарубежным прогнозам к 1990—1992 гг. емкость статических СБИС ЗУ достигнет уровня 1—4 М бит. Так, в настоящее время фирма Toshiba (Япония) разрабатывает

статическое БИС ЗУ емкостью 1 М бит при мощности рассеивания в активном режиме 10 мВт/1 мГц и в режиме хранения 100 мкВт. Создание таких БИС ЗУ позволит увеличить информационную емкость и снизить потребляемую мощность модулей ОЗУ в 10 раз по сравнению с существующими в настоящее время.

Повышение надежности модулей ОЗУ будет осуществляться по пути как повышения надежности БИС ЗУ, так и применения схемных методов — введения резервирования, использования корректирующих кодов. В настоящее время отечественной промышленностью выпускается БИС К555ВЖ1, выполняющая функции обнаружения и исправления одиночных ошибок для полупроводниковых модулей ЗУ с разрядностью слова до 16. Применение корректирующих кодов позволяет значительно повысить надежность ОЗУ.

Увеличение плотности компоновки модулей ОЗУ осуществляется за счет выпуска БИС ЗУ в плоских малогабаритных корпусах, а также в различных кристаллоносителях (КН). Ряд фирм за рубежом выпускает многокристальные модули емкостью 256 К бит — 1 М бит.

Так, модуль HM91M2 фирмы Harris Semiconductor (США) использует 16 монолитных БИС ЗУ емкостью 8К$\times$8 бит каждая, две ИС 8-разрядных буферов, два дешифратора. Все 20 ИС монтируются на многослойной керамической подложке, образуя модуль размером 6,75$\times$$\times$3,25 см с 48 контактами, время выборки модуля ОЗУ составляет 180 нс.

За рубежом получают распространение безвыводные керамические и пластмассовые корпуса с числом выводов до 256. Достоинства таких корпусов — возможность группового изготовления, простота и надежность монтажа на стандартные печатные платы, ремонтопригодность, высокая устойчивость к внешним воздействиям, малые габариты.

Продолжает расти значение многослойных печатных плат (МПП) в конструкции модулей ОЗУ, так как резко возрастает степень интеграции и быстродействие ЗУ. Современный уровень МПП-технологии позволяет изготовлять платы с проводниками шириной 0,127 мм. Одной из важнейших проблем при производстве МПП с 20 слоями и более является повышение их качества в связи с использованием все более быстродействующих и высокоинтегральных БИС ЗУ и логических ИС. Это достигается

различными путями: поиском новых материалов для МПП, совершенствованием технологических процессов и оборудования для их изготовления.

Совершенствование технологии БИС ЗУ и уменьшение проектных топологических норм до 1—1,5 мкм позволяет в перспективе создать БИС ЗУ с расширенными функциональными возможностями, а следовательно, и модули ОЗУ на их основе. Ожидается, что БИС ЗУ будут иметь на кристалле схемы коррекции ошибок и самодиагностики, перестраиваемую структуру по глубине и ширине слова, ассоциативный поиск, порты ввода-вывода и т. п.

Одним из способов организации обмена в многомашинных комплексах, обеспечивающих высокое быстродействие системы, является использование многопортовых (двух и более) ОЗУ. Основное их отличие от обычных ОЗУ — возможность одновременного доступа нескольких процессоров к общей памяти по независимым портам ввода-вывода.

ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1.1. В чем заключаются основные преимущества КМОП ЗУ по сравнению с биполярными БИС?

1.2. Какие существуют способы увеличения информационной емкости модулей ОЗУ?

1.3. Какие существуют варианты организации ОЗУ?

1.4. Как определяется число БИС ЗУ в модуле ОЗУ?

1.5. Как рассчитывается величина резистора на выходе БИС ЗУ с ОК?

1.6. Что такое АФТ для контроля ЗУ?

1.7. Чем отличаются АФТ типа N, N^2, $N^{3/2}$ друг от друга?

Глава

2 Сверхбыстродействующие ОЗУ

2.1 Область применения СОЗУ

▲ Центральные устройства высокопроизводительных ЭВМ, а также другие технические средства вычислительной техники включают в себя широкий набор сверхоперативных ЗУ (СОЗУ).

Под СОЗУ понимаются устройства, период обращения к которым равен или меньше длительности машинного цикла. Типичным СОЗУ является буферная память, применяемая, например, в ЭВМ Единой Системы (ЕС), позволяющая сбалансировать работу быстродействующего процессора с относительно медленной оперативной памятью. Наличие буфера, работающего с тактом процессора и имеющего емкость на 1—2 порядка меньше, чем емкость оперативной памяти, обеспечивает полную загрузку процессора и дает возможность применить в оперативной памяти наиболее экономичные БИС ЗУ МОП-типа. Широко используются СОЗУ в качестве памяти устройств микропрограммного управления. Хотя основным рабочим режимом такой памяти является считывание информации, она в большинстве случаев реализуется на основе БИС СОЗУ. Загрузка управляющих памятей производится с внешнего носителя, что создает удобство как при разработке, так и при совершенствовании алгоритмов управления технических средств.

Наряду с буферными и управляющими СОЗУ, имеющими в современных ЭВМ емкость от десятков до сотен К байт, в состав процессоров входят СОЗУ разнообразных назначений относительно малой емкости: от десятков байт до нескольких К байт. До последнего времени в качестве элементной базы СОЗУ как малого, так

и большого объема использовались БИС ЗУ. При использовании в перспективных ЭВМ новой элементной базы — матричных БИС, в частности содержащих блоки ЗУ, большая часть СОЗУ малой емкости перестанет существовать в виде самостоятельных конструктивных единиц и их разработка станет частью стандартной процедуры проектирования матричных БИС. В связи с этим рассмотрим вопросы построения СОЗУ на основе БИС ЗУ. Для обеспечения максимального быстродействия СОЗУ необходимо использовать наиболее быстродействующие БИС ЗУ, выполненные на основе эмиттерно-связанной логики (ЭСЛ). Вопросы разработки относительно «медленных» ОЗУ, в которых могут использоваться быстродействующие БИС ЗУ МОП-типа, изложены в гл. 3. Здесь же рассмотрено создание СОЗУ на БИС ЭСЛ-типа серий 500 и 1500.

■ **Известно, что быстродействие как логических, так и запоминающих устройств определяется задержками распространения сигналов собственно в интегральных схемах и переходными процессами в линиях связи между ними.**

Поэтому задача конструирования СОЗУ состоит в выборе подходящих по емкости и быстродействию БИС ЗУ и объединении их таким образом, чтобы время установления переходных процессов в линиях связи было минимальным. Для решения этой задачи необходимо изучить характеристики БИС ЗУ ЭСЛ-типа и основные свойства применяемых в ЗУ линий связи.

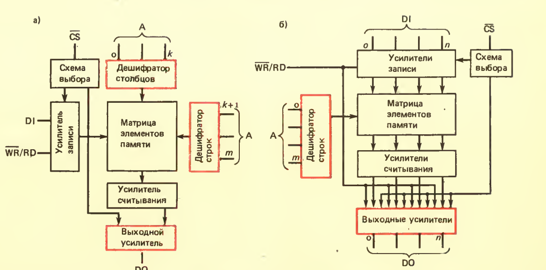
2.2 Статические БИС ЗУ высокого быстродействия

Наиболее быстродействующие БИС ЗУ выполняются на основе ЭСЛ. Важнейшая характеристика их — время выборки, достигаемое у лучших современных схем единиц наносекунд. Помимо высокого быстродействия БИС ЗУ ЭСЛ-типа обладают рядом других положительных качеств:

— высокой стабильностью параметров при изменении рабочей температуры и напряжения питания;

— способностью работать на низкоомные согласованные линии связи;

— независимостью тока потребления от режима работы и частоты обращения.



Р и с. 2.1. Типовая структурная схема одиоразрядиой (*а*) и миогоразрядиой (*б*) БИС ЗУ

Выпускаемые промышленностью БИС ЗУ ЭСЛ-типа являются законченными устройствами, выполняющими все функции памяти: записи или считывания одного или нескольких (в зависимости от конструкции) разрядов данных по адресу, определяемому кодом, подаваемым на адресные входы схемы, и хранение данных. Типовые структурные схемы одно- и многоразрядной БИС ЗУ приведены на рис. 2.1.

Микросхемы БИС ЗУ содержат матрицу элементов памяти, дешифраторы строк и столбцов матрицы, управляемые входные усилители записи данных, усилители считывания, управляемые выходные усилители и схемы выбора кристалла. Микросхема имеет адресные (А) и информационные входы (DI) и выходы (DO), а также входы выбора кристалла $\overline{CS}$ и управления записью $\overline{WR}$/RD. При *низком напряжении* на входе $\overline{CS}$ микросхема находится в *режиме обращения*. Конкретный режим обращения — запись или считывание — определяется уровнем напряжения на входе $\overline{WR}$/RD. При *высоком напряжении* на входе $\overline{WR}$/RD микросхема переводится в *режим считывания*, в котором напряжения на выходах DO соответствуют информации, считываемой по адресу, определяемому кодом на входах А. Уровни напряжений на входах DI не влияют на считанные данные и могут быть любыми. При *низком напряжении* на входе $\overline{WR}$/RD микросхема переводится в *режим записи* информации, поступающей на входы DI по адресу, определяемому кодом на входах А, а на выходах DO устанавливается низкий уровень напряжения. При *высоком напряжении* на входе $\overline{CS}$ микросхема переводится в *режим хранения* данных, характеризующийся низкими уровнями напряжений на выходах DO и отсутствием записи даже при низком напряжении на входе $\overline{WR}$/RD. Наличие входа выбора кристалла $\overline{CS}$ позволяет объединить БИС памяти и наращивать емкость ЗУ до требуемого значения.

Выше описана работа БИС ЗУ в статических режимах, т. е. при воздействии на ее входах постоянных напряжений.

Больший интерес представляет работа схемы в динамических режимах при подаче положительных или отрицательных перепадов входных логических сигналов с типовыми для схем ЭСЛ-типа длительностями фронтов. На рис. 2.2, *а, б* приведены временные диаграммы, по-

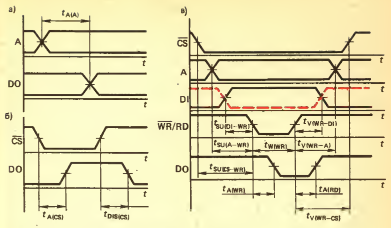


Рис. 2.2. Временные диаграммы работы БИС ЗУ в режиме считывания и записи данных

ясияющие работу одиоразрядиой микросхемы в режиме считывания. Рис. 2.2, *а* поясняет основную характеристику быстродействия микросхемы — время выборки по адресу $t_{A(A)}$. При постояииом разрешающем сигиале $\overline{CS}$ высокий или иизкий уровень иапряжеиия иа выходе БИС соответствует **0** или **1** (для отрицательной логики), хранящейся в ячейке памяти, определяемой кодом адреса на входах А. При измеиеиии кода адреса и обращении к другой ячейке памяти, в которой хранится противоположиая информация, иапряжение на выходе схемы изменяется с задержкой. Эта задержка распространеиия и иазывается *временем выборки по адресу*. Для того чтобы время $t_{A(A)}$ характеризовало быстродействие собствеино микросхемы, необходимо измеиеиия иапряжений на входах адреса производить в один момеит времени, так как в противиом случае время выборки может увеличиться иа величииу разброса моментов переключеиия иапряжений на разных входах адреса. По этой причине при измерении времени выборки стараются минимизировать возможиый разброс времеии переключения адресиых сигналов по сравнению с временем выборки. При этом следует иметь в виду, что даже в одной микросхеме время выборки при различиых адресиых переходах, общее число которых равно квадрату числа адресов, не является постояниой величиной и, естественно, существует адресный переход (заранее неизвестный) с иаихуд-

шим временем выборки. Кроме того, время выборки в некоторой степени зависит от рабочей температуры и напряжения питания. Обычно для БИС ЗУ ЭСЛ-типа время выборки возрастает при повышении температуры и снижении напряжения питания. В связи с этим в документации на микросхемы ЗУ приводят максимальное время выборки по адресу $t_{A(A)\,max}$. Значение $t_{A(A)\,max}$ используется при расчетах временных характеристик ЗУ.

Примечание. Указываемое в каталогах типовое время выборки отражает уровень технологии изготовления БИС ЗУ и носит рекламный характер; оно не может быть использовано при расчетах.

Если при подаче кода адреса выбрана ячейка памяти, в которой хранится 0, то при подаче отрицательного перепада сигнала $\overline{CS}$ на выходе схемы через время $t_{A(CS)}$ установится напряжение высокого уровня, а через время $t_{DIS(CS)}$ после положительного перепада сигнала $\overline{CS}$ на выходе установится напряжение низкого уровня (рис. 2.2, *б*). Время $t_{A(CS)}$ называется временем разрешения, а $t_{DIS(CS)}$ — временем выборки хранения. Эти величины характеризуют скорость перехода схемы из режима хранения в режим обращения и обратно. В технических условиях на БИС ЗУ указываются максимальные значения этих времен. Обычно значения $t_{A(CS)}$ и $t_{DIC(CS)}$ составляют 30—75 % от времени выборки адреса. Это обстоятельство позволяет наращивать емкость ЗУ без снижения быстродействия.

На рис. 2.2, *в* приведена временна́я диаграмма работы БИС ЗУ в режиме записи, основной характеристикой которой является минимально необходимая длительность отрицательного импульса записи [приводится в технических условиях (ТУ) на схему]. Для обеспечения правильной записи необходимо все входные сигналы (адреса, разрешения выбора кристалла и записываемых данных) включать до начала импульса записи и выключать после окончания импульса записи. Необходимые времена опережения и сохранения входных сигналов относительно импульса записи, обозначения которых приведены на рис. 2.2, *в*, оговариваются ТУ.

Если какой-либо из входных сигналов нельзя подать раньше импульса записи, то этот сигнал необходимо удлинить относительно минимального значения, что приводит к снижению быстродействия. Как отмечалось ранее, сигнал записи блокирует выход микросхемы. Низкий уровень на выходе устанавливается через время $t_{A(WR)}$ после начала импульса записи и восстанавливает-

ся через время $t_{A(RD)}$ после его окоичаиия. Время $t_{A(WR)}$ иазывается временем выборки записи, а время $t_{A(RD)}$ — временем выборки считываиия (иногда его называют временем восстаиовлеиия после записи). Миниимальио иеобходимая длительиость импульса записи составляет 70—95 % от времеии выборки адреса.

Информациоииая емкость БИС ЗУ — одии из показателей совершеиства техиологии иитегральных схем. Развитие техиологии производства БИС ЗУ любого типа характеризуется иепрерывным ростом информациоиной емкости. БИС ЗУ ЭСЛ-типа также подчиияются этой закономериости, хотя темп роста их емкости ииже, чем, иапример, у статических и дииамических схем МОП-типа. Переход к иовому поколеиию БИС ЗУ озиачает учетвереиие их информациоииой емкости. За 15 лет существоваиия схем памяти ЭСЛ-типа произошла смеиа пяти поколеиий: 64, 256, 1024, 4096 и 16 384 бит. Известны БИС ЗУ ЭСЛ-типа с одио- и четырехразрядной организацией: 64×1; 256×1; 1K×1; 4K×1; 16K×1 и 16×4; 64×4; 256×4; 1K×4. При одииаковой иформациониой емкости микросхемы с одноразрядиой оргаиизацией имеют меиьшее число выводов. Например, микросхема емкостью 4 K бит с одиоразрядиой оргаиизацией (4 K× ×1) имеет 18 выводов, из иих 12 выводов являются адресиыми входами и 2 вывода служат для ввода-вывода иформации. Микросхема той же емкости, ио с четырехразрядиой организацией (1 K×4) имеет 22 вывода, из иих 10 выводов являются адресиыми входами и 8 выводов служат для ввода-вывода. Число адресиых выводов

$$n_A = \log_2 N_A,$$

где N_A — число адресов в БИС ЗУ.

Число выводов ввода-вывода для всех известиых БИС ЗУ ЭСЛ-типа равио удвоеииому числу разрядов. При одииаковой емкости БИС ЗУ одиоразрядная схема позволяет получить меиьшие габариты проектируемого устройства, если адресиость его ие меиьше адресиости схемы. В противиом случае одиоразрядиая схема оказывается избыточиой и меиьшие габариты обеспечиваются при использоваиии многоразрядиой схемы.

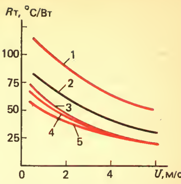
Достигиутый уровеиь техиологии производства БИС ЗУ характеризуется, как отмечалось выше, максимальной емкостью и быстродействием, близким к быстродействию схем предыдущего поколеиия. Более совершеииая

технология позволяет создавать схемы меньшей информационной емкости, но более высокого быстродействия. Таким образом, происходит процесс роста информационной емкости БИС ЗУ во времени при примерно постоянном быстродействии и параллельный процесс увеличения быстродействия при сохраняющейся информационной емкости. Существующий набор БИС ЗУ, производимый промышленностью, включает в себя схемы малой информационной емкости (64; 256 бит) повышенного быстродействия и схемы большей емкости (1 — 16 К бит) меньшего быстродействия.

Микросхемы ЭСЛ-типа характеризуются повышенной мощностью рассеивания по сравнению со схемами, выполненными на основе других технологий. Среди ИС ЭСЛ-типа наибольшей рассеиваемой мощностью обладают микросхемы памяти. В зависимости от степени интеграции и быстродействия схем эта мощность составляет 0,5—1 Вт. Значительная мощность рассеивания приводит к заметному саморазогреву кристалла микросхемы, что требует принятия мер по охлаждению схем. Перепад температур между кристаллом микросхемы и окружающей схему воздушной средой T определяется произведением рассеиваемой схемой мощности P на полное тепловое сопротивление корпуса $R_т$. Тепловое сопротивление, °C/Вт, численно равно перепаду температур кристалл — среда при выделяемой мощности 1 Вт. Полное тепловое сопротивление представляет собой сумму внутреннего теплового сопротивления кристалл — поверхность корпуса и внешнего сопротивления поверхность корпуса — окружающая среда. Внутреннее тепловое сопротивление определяется конструкцией корпуса и теплопроводностью материала, из которого он изготовлен. Для 16-выводных пластмассовых корпусов с двухрядным расположением выводов типа ДИП (от англ. DIP — dual — in line — package), в которых размещается большинство БИС ЗУ серии 500, оно составляет 40—50°C/Вт [4]. Керамические планарные корпуса для ИС серии 1500 имеют тепловое сопротивление около 20°C/Вт. Внешнее тепловое сопротивление зависит от скорости потока воздуха, омывающего микросхему. В неподвижном воздухе теплоотвод осуществляется за счет естественной конвекции и теплопередачи через выводы микросхемы к печатной плате, на которой она располагается. Такой теплоотвод характеризуется высоким значением теплового сопротивления. При большой скорости

Рис. 2.3. Зависимость теплового сопротивления корпуса от скорости омывающего воздуха:

1 — для пластмассового корпуса 238.16—2; *2* — для металлокерамического корпуса 201.16—1; *3* — для 16-, 18- и 24-выводных керамических корпусов 4106.16—4; *4* — для корпуса 427.18—1; *5* — для корпуса 4114.24—1



воздушного потока, обеспечиваемой системой принудительной вентиляции, внешнее тепловое сопротивление может быть приближено к нулю. На рис. 2.3 приведены зависимости полных тепловых сопротивлений корпусов ИС серий 500 и 1500 от скорости потока воздуха. Так как работоспособность и характеристики БИС ЗУ зависят от параметров транзисторов, которые, в свою очередь, определяются температурой кристалла, характеристики необходимо измерять при определенной заданной температуре кристалла. При этом недостаточно задавать только температуру окружающей среды, необходимо еще и обеспечивать определенную скорость омывающего воздушного потока.

Для ИС серии 500 задается верхняя рабочая температура окружающего воздуха 70°С при скорости воздушного потока 2 м/с. Пользуясь зависимостью, приведенной на рис. 2.3, нетрудно рассчитать, что температура кристалла, рассеивающего мощность 600 мВт, в указанных условиях составит температуру 125°С, при которой схема еще сохраняет работоспособность. Естественно, что при меньших температурах окружающей среды скорость воздушного потока можно снизить, а в легких температурных режимах принудительную вентиляцию вообще можно исключить.

При измерениях параметров микросхем серии 1500 фиксируется температура основания корпуса схемы, верхнее значение которой составляет 85°С. Необходимая температура корпуса этих схем может обеспечиваться (как и для схем серии 500) одним из двух способов.

— изменением температуры и скорости омывающего воздуха;

— использованием металлического теплоотвода (или

тепловой трубы) с заданной температурой, непосредственно контактирующего с корпусом. Второй способ удобно использовать при измерениях, так как он требует только фиксации температуры и не нуждается в задании скорости потока воздуха.

Нижнее значение рабочей температуры на ИС серий 500 и 1500 установлено ТУ — 10 °C и 1 °C соответственно.

Микросхемы памяти ЭСЛ-типа сохраняют работоспособность и быстродействие при изменении напряжения питания в пределах $\pm 5\%$ от номинальных значений, которые составляют минус 5,2 В и минус 4,5 В для схем серий 500 и 1500. В ТУ на микросхемы указывается, кроме того, предельное значение питающего напряжения — 5,5—6,0 В, превышение которого может вызвать повреждение микросхемы. Источники питания устройств должны быть, следовательно, сконструированы таким образом, чтобы при превышении предельного напряжения, вызванного, например, аварией или неправильной установкой, происходило их быстрое автоматическое отключение.

В ТУ на БИС ЗУ приводится максимальное значение тока, потребляемого схемой. Потребление тока микросхемами ЭСЛ-типа не зависит ни от режима схемы (записи, считывания или хранения), ни от кодов записываемой, считываемой или хранимой информации, однако характеризуется увеличением при понижении рабочей температуры. Для определения требуемой мощности источника питания необходимо использовать среднее значение тока потребления при минимальной рабочей температуре, а для расчета системы охлаждения следует использовать среднее значение тока потребления при максимальной температуре. Большинство схем имеет среднее значение тока потребления, равное 60—80 % от максимального значения.

Выходная цепь БИС ЗУ, как и у схем ЭСЛ-типа, представляет собой эмиттерный повторитель и обладает типовой зависимостью выходного напряжения от вытекающего нагрузочного тока, приведенной на рис. 2.4. При увеличении тока нагрузки выходное напряжение как высокого U_H, так и низкого U_L уровня снижается слабо, так как дифференциальное выходное сопротивление эмиттерного повторителя мало (единицы ом). При контроле выходное напряжение микросхем измеряется при стандартной нагрузке сопротивлением 50 Ом, подключенной к

источнику напряжения —2 В. Выходные напряжения высокого и низкого уровней при нормальной температуре (25 °C) и отклонении напряжения питания на ±5 % составляют от —0,81 до —0,96 В и от —1,65 до — 1,85 В для микросхем серии 500 и от — 0,88 до — 1,03 В и от — 1,62 до — 1,81 В для микросхем серии 1500. При повышении рабочей температуры выходные напряжения высокого и низкого уровней ИС серии 500 несколько возрастают. У более совершенной серии 1500 выходное напряжение не зависит от температуры. Для того чтобы избежать повреждения микросхемы, сопротивление нагрузки, напряжение источника питания и число входов схем, подключенных к выходу БИС ЗУ, должны быть выбраны таким образом, чтобы выходной ток схемы не превышал максимального значения, указываемого в ТУ. Например, при включении нагрузки сопротивлением 51 Ом с допуском ±5 %, подключенной к источнику напряжения — 2 В с возможной нестабильностью ±5 %, выходной ток может достигать 26 мА, что меньше допустимого (30 мА) для большинства БИС ЗУ. Правильное функционирование схем обеспечивается в том случае, если входное напряжение верхнего логического уровня выше порогового входного напряжения U_{THRH}, а входное напряжение нижнего логического уровня ниже порогового входного напряжения U_{THRL}. Эти напряжения при нормальной температуре составляют — 1,105 и — 1,475 В для ИС серии 500 и —1,165 и —1,475 В для ИС серии 1500 соответственно. Пороговые значения напряжений у микросхем серии 500 возрастают при повышении рабочей температуры, а у схем серии 1500 неизменны. Разность между напряжением, которое подается на вход схемы и является выходным напряжением схемы источника, и соответствующим ему пороговым входным напряжением определяет помехоустойчивость схем. Помехоустойчивость микросхем ЭСЛ-типа составляет 120—

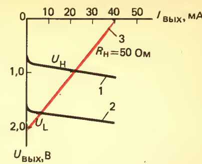


Рис 2.4. Выходные характеристики ЭСЛ схемы высокоуровиевого состояния (1), низкоуровиевого состояния (2) и типовая нагрузочная характеристика (3)

150 мВ, т. е. 15—20 % от логического перепада. Следует отметить, что термокомпенсированная схема серии 1500 обладает преимуществом в помехоустойчивости перед схемой серии 500, у которой происходит снижение помехоустойчивости при работе маломощной и поэтому слабо нагретой схемы на мощную сильно нагретую схему, вызванное температурными зависимостями выходных и пороговых уровней.

Входные цепи большинства микросхем памяти аналогичны входным цепям базовых элементов схем ЭСЛ-типа и характеризуются максимальными значениями входных токов высокого (220 мкА) и низкого (0,5 мкА) уровней для серий 500 и 1500. Некоторые микросхемы памяти снабжены дополнительными входными усилителями, а поэтому их входные токи незначительны. Малые входные токи позволяют подключать к буферным логическим элементам большое число входов микросхем памятей и создавать таким образом ЗУ большой емкости. Однако в быстродействующих устройствах число микросхем памяти, подключенных к буферным элементам, ограничивается не входными токами схем, а увеличивающейся емкостной нагрузкой. Таким образом, важны значения емкостей входов, а в ряде случаев и емкостей выходов. Типовые значения этих емкостей приводятся в ТУ на схемы и составляют 3—8 пФ.

Основные динамические параметры микросхем СОЗУ серий 500 и 1500 приведены в табл. 2.1.

▲ **Развитие микроэлектронной технологии, основанное на непрерывном уменьшении проектных норм на ширину линий, позволяет сделать вывод, что наиболее распространенные сверхбыстродействующие БИС ЗУ ЭСЛ-типа сохранят свое доминирующее положение еще по крайней мере в течение 10 лет.**

Учитывая, что в настоящее время получены лабораторные образцы схем ЭСЛ-типа емкостью 1—4 К бит с временем выборки около 2 нс, представляется естественным достижением к середине 90-х годов субнаносекундного быстродействия. С ростом быстродействия схем будет увеличиваться их информационная емкость. Предназначенные для оперативной памяти суперЭВМ, разрабатываемые фирмой Hitachi (Япония), БИС ЗУ, выполненные на основе ЭСЛ-технологии, имеющие емкость 64 К бит, позволяют предположить появление в будущем микросхем емкостью 256 К бит и 1 М бит.

Параметр, обозначение	Значение параметров СОЗУ, нс								
	500РУ					1500РУ			
	145	148	410	415	470	073	415	470	470А
Время выборки адреса $t_{A(A)}$	10	15	25	20	35	6	20	35	20
Время выборки разрешения $t_{A\ (CS)}$	10	12	12	10	15	4	10	15	15
Время выборки хранения $t_{DIS\ (CS)}$	10	12	20	10	25	4	10	15	10
Длительность записи $t_{W(WR)}$	10	10	20	12	25	5	18	30	18
Сдвиг записи после данных $t_{SU\ (DI-WR)}$	3	1	5	5	15	0,5	5	5	10
Сохранение данных после записи $t_{V\ (WR-DI)}$	3	3	5	5	15	2	5	5	10
Сдвиг записи после адреса $t_{SU\ (A-WR)}$	5	5	5	8	10	2	5	10	10
Сохранение адреса после записи $t_{V\ (WR-A)}$	5	3	5	4	15	2	5	5	15
Сдвиг записи после разрешения $t_{SU\ (A-WR)}$	5	3	5	5	15	2	5	5	—
Сохранение разрешения после записи $t_{V\ (WR-CS)}$	5	1	5	5	15	1	5	5	—
Время выборки считывания $t_{A\ (RD)}$	10	15	25	10	20	7	20	20	20
Время выборки записи $t_{A\ (WR)}$	10	15	30	10	15	5	10	15	10

При такой большой емкости целесообразна многоразрядная (байтовая или полубайтовая) организация схемы ЗУ.

С микросхемами памяти ЭСЛ-типа конкурируют арсенид-галлиевые БИС ЗУ. Уже получены образцы этих схем емкостью 1—4 К бит с временем выборки около 1 нс. При одинаковой со схемами ЭСЛ-типа мощности рассеивания они имеют более высокое быстродействие. Заметно снижает их быстродействие необходимость включения в БИС ЗУ схем согласования уровней со стандартными схемами ЭСЛ-типа. Этот недостаток, естественно, не будет проявляться в тех случаях, если остальные схемы в аппаратуре будут выполнены на основе GaAs технологии. Ограничивает применение схем на основе GaAs относительно высокая стоимость, определяемая стоимостью материала; в связи с этим они не получат такого широкого распространения, как кремниевые схемы.

В последнее время наблюдается бурное развитие БИС ЗУ, выполненных на КМОП-технологии. Степень

их интеграции достигает 256 К бит, а быстродействие приближается к быстродействию схем ЭСЛ-типа. Например, микросхемы емкостью 1—4 К бит имеют время выборки до 10 нс. Такое высокое быстродействие получено при малой потребляемой мощности. Увеличение потребляемой мощности и уменьшение топологических норм, по-видимому, позволит в 90-х годах перейти в субнаносекундный диапазон быстродействия. Таким образом, БИС ЗУ КМОП-технологии могут стать основной элементной базой сверхоперативной памяти.

2.3 Линии связи в СОЗУ

При проектировании ЗУ, в том числе и сверхбыстродействующих, возникает типовая задача подачи адресных, управляющих сигналов и сигналов данных ко всем БИС ЗУ, входящим в устройство. В устройствах относительно малой емкости, содержащих до нескольких десятков БИС ЗУ, приходится соединять микросхемы в пределах одной платы, на которой они располагаются, а в устройствах большего объема, содержащих сотни микросхем, кроме того, необходимо решать вопрос электрического объединения плат. Объединение БИС ЗУ в пределах наиболее широко используемых многослойных печатных плат осуществляется при помощи симметричных полосковых линий. Соединение плат осуществляется посредством панели, к которой платы подключаются через разъемный соединитель. В пределах панели соединения выполняются либо полосковыми линиями, либо одножильными или двухжильными проводами.

Линии связи, применяемые в устройствах, являются однородными, так как их поперечное сечение и диэлектрическая проницаемость изолятора остаются неизменными на всем протяжении линии. Поданный на вход линии перепад напряжения распространяется вдоль нее с постоянной скоростью, что позволяет использовать удельную характеристику линии — погонную задержку t_0. Одиночный провод, расположенный в воздухе над металлической поверхностью, обладает минимально возможной погонной задержкой в 3,3 нс/м, соответствующей скорости света. Если между прямым и обратным проводами линии расположен изолятор с относительной диэлектрической проницаемостью $\sqrt{\varepsilon_r}$, то задержка распространения увеличивается до 6—7,5 нс/м. Следует отметить, что из-

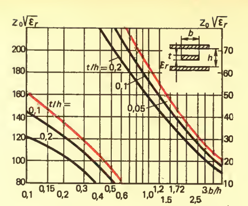


Рис. 2.5. Зависимость волнового сопротивлеиия симметричиой полосковой лииии от соотиошеиий размеров элемеитов ее коиструкции

менение геометрических размеров проводников линии не влияет на значение погонной задержки.

Рассмотрим идеальную линию. Если на вход уходящей в бесконечность однородной линии связи подать ступенчатое напряжение, то по линии начинает протекать ток, определяемый волновым сопротивлением линии Z_0. Волновое сопротивление линии существенно зависит от ее конструкции — уменьшается при сближении прямого и обратного проводников, а также при увеличении диэлектрической проницаемости заполнителя линии. Волновое сопротивление скрученной пары проводов типа МНВ диаметром 0,05 мм составляет около 100 Ом. На рис. 2.5 приведена зависимость волнового сопротивления симметричной полосковой линии от соотношений элементов конструкции. При определении волнового сопротивления линии в широко применяемых многослойных печатных платах значение диэлектрической проницаемости ε_r следует принимать близким к 5. Естественно, что малые значения волнового сопротивления могут быть получены расширением центрального проводника. Увеличение волнового сопротивления при ограниченной толщине печатной платы требует сужения центрального проводника, что встречает технологические трудности. Практически используемыми в стеклотекстолитовых платах являются волновые сопротивления до 100 Ом.

Погонная задержка t_0 и волновое сопротивление ли-

ний Z_0 зависят от погонной емкости C_0 и индуктивности L_0 линии:

$$t_0 = \sqrt{L_0 C_0}\,;\;\; Z_0 = \sqrt{L_0 / C_0}\,.$$

Преобразование этих выражений дает:

$$C_0 = t_0 / Z_0;\;\; L_0 = Z_0 t_0.$$

Погонная емкость скрученной пары проводов МНВ сечением 0,05 мм^2 с $t_0 = 6$ нс/м и $Z_0 = 100$ Ом составляет 0,6 пФ/см, а погонная емкость полосковой линии в многослойной печатной плате с $t_0 = 7{,}5$ нс/м и $Z_0 = 50$ Ом равна 1,5 пФ/см.

Распространяясь по линии, сигнал претерпевает искажения, вызванные электрическими потерями в проводниках и изоляторах. У трапецеидальных сигналов, характерных для микросхем ЭСЛ-типа, из-за потерь в линии увеличиваются длительности фронтов и уменьшается амплитуда. При слабом затухании в линии уменьшение амплитуды (%) находится из соотношения

$$k = \frac{R_0 l}{2 Z_0} 100,$$

где R_0 — погонное сопротивление линии постоянному току; l — длина линии.

Погонное сопротивление линии с шириной 200 мкм и толщиной центрального медного проводника 35 мкм равно 2,5 Ом/м. Распространяясь по такой линии с волновым сопротивлением 50 Ом и длиной 0,5 м, сигнал уменьшается по амплитуде на 1,25 %. Длительность фронтов, передаваемых по линии сигналов, увеличивается из-за потерь в скин-слое проводящих проводников. При этом длительность фронта переходной характеристики ($Z_0 = 50$ Ом; $R_0 = 2{,}5$ Ом/м, $l = 0{,}5$ м) составляет 0,1 нс, что в несколько раз меньше длительности фронта схем ЭСЛ-типа. Обычно длины линий связи, объединяющих схемы на плате, не превышают 0,5 м, что позволяет пренебречь затуханием и пользоваться при расчете соотношениями, характерными для линий без потерь.

Выше рассмотрено распространение сигналов по линии, уходящей в бесконечность, реально же длина линии не превышает 0,5 м. Тем не менее процессы в линии ограниченной длины могут быть такими же, как и в бесконечной линии, если линию на конце нагрузить резистором, имеющим активное сопротивление $R_н$, равное волновому сопротивлению Z_0. При этом распространяющаяся от ис-

точника сигнала электромагнитная волна будет полностью поглощаться в сопротивлении нагрузки. Время задержки сигнала в линии определяется ее длиной и погонной задержкой, а соотношение между напряжением и током в любом сечении линии характеризуется волновым сопротивлением. Если сопротивление нагрузки не равно волновому, то возникает отражение от конца линии, которое распространяется по направлению к источнику сигнала. Амплитуда отраженного сигнала зависит от соотношения между сопротивлением нагрузки и волновым сопротивлением. Обычно требуется знать не значение отраженного сигнала, а его долю от падающего сигнала, т. е. коэффициент отражения. Коэффициенты отражения для напряжения и тока имеют одно абсолютное значение, но отличаются знаком. Если коэффициент отражения для напряжения положителен, то для тока он отрицателен, и наоборот. Ниже приведены соотношения, позволяющие найти коэффициенты отражения для напряжения и тока соответственно:

$$k_{\text{отр}\,u} = \frac{R_{\text{н}} - Z_0}{Z_0 + R_{\text{н}}}; \quad k_{\text{отр}\,i} = \frac{Z_0 - R_{\text{н}}}{Z_0 + R_{\text{н}}}.$$

Примечание. В дальнейшем по тексту используется коэффициент отражения только по напряжению, обозначаемый $k_{\text{отр}}$.

При $R_{\text{н}} = Z_0$ отражение отсутствует и $k_{\text{отр}} = 0$, а линия считается согласованной. В двух крайних случаях нагрузки (короткого замыкания и обрыва линии) коэффициенты отражения экстремальны и равны — 1 и 1 соответственно, а при конечном значении $R_{\text{н}}$ коэффициент отражения имеет промежуточное значение.

Итак, если нагрузочное сопротивление не равно волновому, то от конца линии отражается сигнал, который распространяется к началу линии. Если внутреннее сопротивление источника сигнала тоже отличается от волнового, то возникает отражение и от начала линии и т. д. При этом амплитуда отраженных сигналов уменьшается и после ряда отражений становится пренебрежимо малой. С этого момента в линии наступает установившийся режим, соответствующий режиму постоянного тока. На рис. 2.6, *а* приведена схема, в которой источник сигнала с внутренним сопротивлением $R_{\text{г}} = 0{,}2Z_0$ работает на несогласованную на конце линию ($R_{\text{н}} = 2Z_0$), а на рис. 2.6, *б* — форма напряжения в начале и конце линии при единичном ступенчатом напряжении источника. Естественно, что до первого появления напряжения на сопротивлении нагруз-

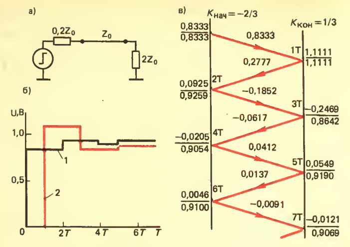


Рис. 2.6. Схема включения длниной линии к источнику и нагрузке (*а*), форма напряжения в начале н конце линни (*б*) и сетевая диаграмма (*в*) для определеиия переходиых процессов в линии:

крнвая *1* — начало линнн; крнвая *2* — конец лнннн

ки требуется время, определяемое погонной задержкой распространения t_0 и длиной линии l. Это время называется *задержкой линии* T, длительность каждой следующей ступеньки напряжения равна двойной задержке в линии $2T$. Для удобства определения переходного процесса в линии используется графическое построение, называемое *сетевой диаграммой*, показанной на рис. 2.6, *в*. Вертикальные линии являются временными осями для процессов в начале и конце линии связи. Они размечены с периодом $2T$, начинающимся с нуля для начала линии, и начинающимся с T для конца линии. Около осей указываются коэффициенты отражения от начала линии $k_{\text{нач}} = (0{,}2Z_0 - Z_0)/(0{,}2Z_0 + Z_0) = -2/3$ и конца линии $k_{\text{кон}} = (2Z_0 - Z_0)/(2Z_0 + Z_0) = 1/3$. Наклонные линии изображают падающие и отраженные сигналы. Напряжение первого падающего сигнала $U_1 = Z_0/(Z_0 + 0{,}2Z_0) = 0{,}8333$, первого отраженного от конца линии сигнала $U_2 = U_1 k_{\text{кон}} = 0{,}2777$, первого отраженного от начала линии $U_3 = U_2 k_{\text{нач}} = -0{,}1852$ и т. д.

Примечание. Эти напряжеиня проставляются около соответствующих иаклоиных линий. Рядом с точками разметкн временной шкалы записывается дробь, числитель которой является суммой соот-

ветствующих падающей и отраженной волн и представляет собой изменение напряжения в этот момент, а знаменатель является суммарным результирующим напряжением.

Нетрудно видеть, что для установления стационарного напряжения на линии $U_\infty = 2Z_0/(2Z_0 + 0{,}2Z_0) = 0{,}9091$ с точностью, например, в 1 % необходимо время $7T$. Чем ближе какая-либо из величин $R_н$ или $R_г$ к Z_0, тем быстрее установится стационарный режим в линии.

Аналитический расчет переходного процесса в схеме с источниками сигналов, имеющими нелинейный характер, а таковыми являются интересующие нас микросхемы ЭСЛ-типа, затруднителен. С достаточной для практики точностью удобно пользоваться графическим методом расчета переходных процессов в линии [12]. На рис. 2.7 показаны выходные вольт-амперные характеристики источника сигнала — логического элемента ЭСЛ-типа в состоянии **0** и **1** и линия нагрузки, наклон и положение которой определяются сопротивлением нагрузки и напряжением источника питания E. Точки пересечения A и B нагрузочной линии с выходными характеристиками определяют статические состояния логических **1** и **0**. Если элемент переключается из **1** в **0**, то для нахождения переходного процесса в линии необходимо провести через точку A прямую с наклоном, определяемым волновым сопротивлением Z_0. Через точку пересечения C этой линии с выходной характеристикой проводится линия с тем же наклоном, что и AC, но противоположного знака. Далее через точку пересечения D этой линии с нагрузочной проводится линия, параллельная AC, а через точку E — линия, параллельная CD, и т. д. Видно, что продолжение построения приведет в точку статического состояния B. Получающиеся последовательно на нагрузочной линии точки D, F, H, ... определяют напряжения в конце линии в моменты времени T, $3T$, $5T$, ..., а точки C, E, G, ... на выходной характеристике — напряжения в начале линии в моменты времени 0, $2T$, $4T$, ... Аналогично строится ломаная линия $BMNPA$, определяющая переходный процесс при переключении элемента из логического **0** в **1**.

Приведенный пример показывает, что при нелинейном источнике сигнала характер переходных процессов для положительного и отрицательного перепадов сигнала может быть различным. Тем не менее и при нелинейном источнике сигнала переходный процесс заканчивается быстрее всего при равенстве сопротивления нагрузки волновому сопротивлению, т. е. при согласовании линии.

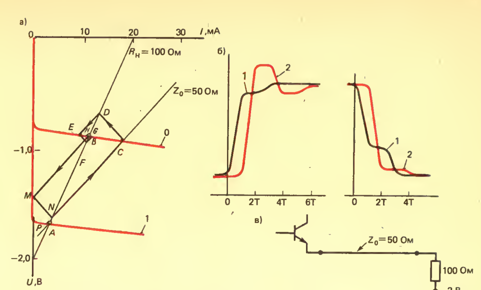


Рис 2.7. Графический метод (*а*) для определения переходных процессов в начале и конце линии (*б*), подключенной к выходу схемы ЭСЛ-типа (*в*):

кривая *1* — начало линии; кривая *2* — конец линии

Большое влияиие иа распространеиие сигиалов оказывают емкости входов микросхем. В общем случае передача сигналов при этом характеризуется колебаииями иа вершиие сигналов, вызваииыми отражеииями в местах подключения емкостей. Одиако если длительиость фронта передаваемого сигиала в иесколько раз больше времеии задержки распространеиия между соседиими емкостями, то амплитуда колебаний мала. Практически можно рассматривать лииию с равиомерио подключеииыми сосредоточеииыми емкостями, как лииию с распределеииыми параметрами, умеиьшеииым волиовым сопротивлеиием и увеличеииой погоииой задержкой. При равномериом шаге l подключения входиых емкостей $C_{вх}$ к лииии с волиовым сопротивлеиием Z_0 и погониой задержкой t_0 модифицироваииые зиачеиия волиового сопротивлеиия $Z_м$ и погоииой задержки $t_м$ определяются из соотиошения:

$$Z_м = \frac{Z_0}{\sqrt{1 + \frac{C_{вх} Z_0}{t_0 l}}}; \; t_м = t_0 \sqrt{1 + \frac{C_{вх} Z_0}{t_0 l}}.$$

Например, для $Z_0 = 75$ Ом, $t_0 = 7{,}5$ ис/м, $C_{вх} = 4$ пФ и $l = 30$ мм модифицированные значения $Z_м = 49$ Ом и $t_м = 11{,}5$ ис/м. Естествеиио, что для обеспечеиия режима согласования рассматриваемой лииии сопротивление нагрузки должно быть равным 49 Ом.

2.4 Организация СОЗУ

▲ Проектироваиие СОЗУ производится для достижеиия заданных техиических характеристик, которыми обычио являются: информациоиная емкость, быстродействие, устойчивость к воздействию дестабилизирующих факторов, коиструкция, иадежиость и т. д.

Иифомациоииая емкость СОЗУ, выражаемая обычио в К байт, расшифровывается конкретиой оргаиизацией устройства, т. е. числом слов (адресов) и разрядиостью слова. Емкости совремеииых СОЗУ составляют от долей до сотен К байт. Быстродействие СОЗУ характеризуется времеием выборки, показывающим, как быстро после смеиы адресиого кода иа выходе СОЗУ появляются считаииые даииые. Устойчивость к воздействиям дестабилизирующих факторов есть способность СОЗУ сохраиять работоспособность и характеристики в задаином диапазоие из-

меиеиий рабочих температур и иапряжений источииков питаиия. Под конструкцией устройства следует поиимать геометрический размер печатиых плат, иа которых размещаются иитегральиые схемы, шаг устаиовки плат при размещеиии их в кассеты и способ их охлаждеиия. Надежность обычно характеризуется иаработкой иа отказ, составляющей для СОЗУ тысячи и десятки тысяч часов.

Исходя из требуемой иифомациоиной емкости СОЗУ, его быстродействия и конструкции, уточняются остальные характеристики устройства. Для этого из существующего иабора схем выбирается БИС ЗУ наибольшей емкости с быстродействием, несколько более высоким, чем требуемое от устройства, и находится их общее число в устройстве. При малой иифомациоииой емкости размеры печатиой платы СОЗУ и условия ее охлаждеиия обычио позволяют разместить иа ией все схемы устройства, а при большой емкости СОЗУ приходится разбивать иа ряд функциональио закоиченных одиотипных модулей, каждый из которых содержит только часть от общего количества разрядов устройства и располагается иа отдельной печатной плате. В разделеином на модули устройстве адресиые и управляющие сигиалы, необходимые для обеспечеиия работы в режимах записи и считывания, должиы подводиться ко всем модулям, а входные и выходиые сигиалы данных связаиы только с одним соответствующим модулем. Характеристики всего СОЗУ можио легко определить, если известны характеристики для одного модуля. Поэтому далее будут рассматриваться вопросы проектирования модуля.

Вопросы определеиия характеристик СОЗУ рассмотрим иа примере разработки устройства емкостью 32 К байт с организацией 4К×72 разряда и временем выборки 40 ис. Учтем, что обычно СОЗУ является ие самостоятельиой коиструктивио закончеииой единицей, а входит в состав ЭВМ или другое устройство автоматики. Поэтому как коиструкция, так и элемеитиая база СОЗУ, т. е. тип серии микросхем, прииимаются теми же, что и в ЭВМ. В качестве коиструктива СОЗУ примеиим, иапример, типовой элемеит замены (ТЭЗ), используемый в ЕС ЭВМ, а в качестве элементиой базы — микросхемы серии 500. Для обеспечения задаииого быстродействия выберем микросхемы памяти 500РУ415 емкостью 1 К бит с временем выборки 20 ис. Микросхема большей степеии иитеграции 500РУ470 ие позволит обеспечить требуемое быстродействие, так как ее время выборки составляет 35 нс. Количество микросхем

памяти, устанавливаемых на печатной плате, определяется либо ее геометрическими размерами при малой мощности, потребляемой микросхемами, либо максимально допустимым значением рассеиваемой платой мощности при большой мощности микросхем. ТЭЗ ЕС ЭВМ размером 140×150 мм² позволяет устанавливать до 60 16-выводных корпусов типа ДИП и при обдуве потоком воздуха со скоростью 2 м/с рассеивать мощность до 15 Вт [11]. Так как любое устройство памяти включает в себя кроме собственно БИС ЗУ еще и схемы обрамления, а также резисторные и конденсаторные блоки, то максимальное число БИС ЗУ на плате ограничивается 30—45, причем меньшие значения характерны для большей разрядности модуля. Однако если учитывать, что каждая микросхема 500РУ415 рассеивает около 0,6 Вт, то общее число БИС ЗУ на плате не должно превышать 15—20, так как их общая мощность составляет 9—12 Вт. Таким образом, на одном модуле (ТЭЗ) можно разместить четыре или пять разрядов СОЗУ, но обычно выбирают четыре разряда в модуле, т. е. число, кратное общему числу разрядов устройства.

На рис. 2.8 приведена функциональная схема модуля СОЗУ емкостью 2 К байт с организацией 4 К×4, содержащего квадратную матрицу из 16 БИС ЗУ 500РУ415. Буферные элементы D1 — D4 и D22 (500ЛМ101) служат источниками сигналов для управления адресными входами, входами записи и данных БИС ЗУ и обеспечивают минимальную нагрузку на соответствующую шину сигналов. Такой же элемент D23 включен между регистрами и выходом модуля. Элемент 500ИД161 (D5) дешифрирует адресные сигналы A10 и A11 и служит для переключения одного из четырех столбцов матрицы микросхем из режима хранения в режим обращения. Выходной регистр 500ТМ131 (D24, D25) принимает по положительному перепаду сигнала C прочитанные из микросхем памяти данные и хранит их до следующего считывания. Для уменьшения нагрузки на адресный буферный элемент одна половина схем памяти соединена с прямым выходом, а другая — с инверсным.

Примечание. Дополнительные преимущества такого включения будут приведены ниже.

Информационные входы микросхем одной строки матрицы объединены и подключены к соответствующему буферному элементу, а выходы микросхем одной строки объединены монтажным ИЛИ и подключены ко входу

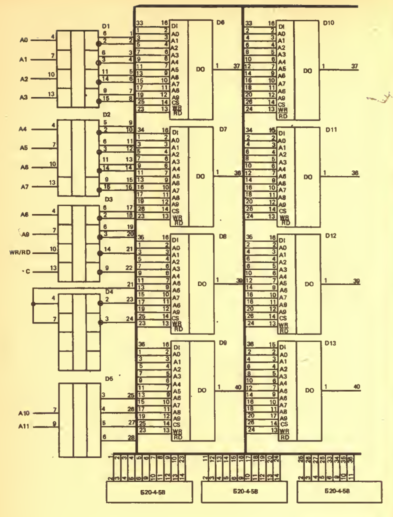


Рис. 2.8. Функциональная

регистра выходных данных. Резисторно-конденсаторные блоки Б20-4-5В использованы для согласования линий связи между элементами с целью обеспечения минимальной длительности переходных процессов.

Очевидно, что время выборки из модуля (ТЭЗ) складывается из времени выборки из БИС ЗУ, задержек

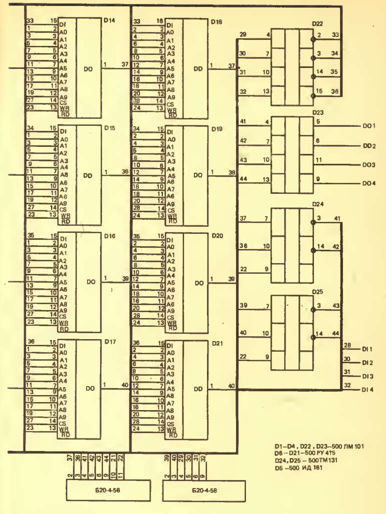


схема модуля СОЗУ

сигналов в схемах обрамления — адресном буфере, выходном регистре и выходном буфере, а также из задержек распространения в линиях связи. Адресный сигнал проходит путь от разъемного соединителя ТЭЗ до самой дальней от него БИС ЗУ, а сигнал считанных данных возвращается назад к соединителю. Суммарная длина

соединительных линий в цепи выборки на плате размером 140×150 мм^2 составляет около 400 мм, что при погонной задержке в линиях, равной 12 нс/м (с учетом влияния сосредоточенных емкостей подключенных к ним входов и выходов), дает задержку сигнала в 5 нс. Учитывая, что задержки сигналов в адресном буфере, БИС ЗУ, выходном регистре и выходном буфере составляют 2, 20, 3 и 2 нс соответственно, получим время выборки из модуля равным 32 нс.

Общее количество модулей в СОЗУ равно 18 и стандартный шаг установки их в панели 15 мм дает длину печатных проводников адресных шин и линий выходных данных по 270 мм. В линии выходных данных задержка равна 0,27 м$\times$7,5 нс/м $\approx$ 2 нс, а в адресной шине — 0,27 м$\times$13 нс/м $\approx$ 3,5 нс. Большая погонная задержка в адресной шине обусловлена влиянием подключенных к ней входных емкостей модулей. Таким образом, суммарная задержка в цепи выборки из сверхоперативного ОЗУ в целом составляет 37,5 нс и близка к заданной.

Для определения потребляемой мощности и требований к источникам электропитания суммируются токи потребления всех микросхем устройства по основному источнику питания — 5,2 В, и токи, протекающие через нагрузочные резисторы микросхем для вспомогательного источника —2 В. Как отмечалось ранее, для вычислений необходимо использовать типовое значение тока потребления микросхем, составляющее 0,6—0,8 от указанного в ТУ максимального. При вычислении тока потребления по вспомогательному источнику питания следует принять выходное напряжение схемы средним между верхним и нижним уровнями. Для рассматриваемого примера ток потребления по источнику —5,2 В составляет 2,06 А, причем схемы памяти потребляют 1,76 А, а схемы обрамления 0,3 А. При сопротивлении согласующих резисторов 50 Ом суммарное потребление от источника напряжения —2,0 В равно 0,615 А. При этом общая мощность, потребляемая модулем от источников, составляет 11,9 Вт, что меньше допустимой 15 Вт. Общее число корпусов на плате равно 29, из которых 25 приходятся на микросхемы и 10 — на резисторные блоки, что означает слабую насыщенность платы. Легко понять, что улучшение условий охлаждения могло бы позволить увеличить информационную емкость ТЭЗ вдвое, соответственно сократить число ТЭЗ в устройстве и несколько

повысить быстродействие СОЗУ за счет сокращения длин связей в объединительной панели.

Надежность СОЗУ определяется характеристиками надежности входящих в него элементов. Широко распространенной характеристикой надежности микросхем является интенсивность отказов λ, 1/ч. Основная характеристика надежности устройства — средняя наработка до отказа T_0 — определяется числом элементов S устройства и интенсивностью отказов этих элементов λ. Если устройство состоит из n групп однотипных элементов, то средняя наработка до отказа определяется соотношением

$$T_0 = \frac{1}{\lambda_1 S_1 + \lambda_2 S_2 + \ldots + \lambda_j S_j + \ldots + \lambda_n S_n},$$

где λ_j — интенсивность отказов элементов j-й группы; S_j — количество элементов в j-й группе.

Для примера предположим, что все микросхемы и резисторные блоки, а также разъемные соединители и печатные платы имеют одинаковую интенсивность отказов, равную 10^{-7} 1/ч.

Общее число указанных элементов в проектируемом СОЗУ около 600 шт. дает среднее время наработки устройства до отказа, равное 10 000 000/600 $\approx$ 15 000 ч.

■ **Повышение надежности СОЗУ с помощью средств коррекции ошибочно считанной информации практически не используется, так как приводит к потере быстродействия.**

2.5 Особенности проектирования СОЗУ

Рассмотрим отдельные правила исполнения схем СОЗУ, обеспечивающие их работоспособность при использовании микросхем и других элементов, в том числе и печатных плат с максимально возможными (по их ТУ) отклонениями характеристик от номинальных значений и в условиях воздействия дестабилизирующих факторов, т. е. при изменении температуры и питающих напряжений.

Одной из задач является правильное проектирование связей между буферными элементами и микросхемами памяти. Известно, что подведение сигналов ЭСЛ-типа от источника к приемникам осуществляется последовательным обходом ИС и согласованием подводящей

линии на ее дальнем конце. Как отмечалось выше, для обеспечения максимальной скорости переходных процессов сопротивление нагрузки должно быть близко к волновому сопротивлению линии связи. Несогласованность линии связи приводит к тому, что напряжение на ней достигает установившегося значения после нескольких отражений сигнала от концов линии. Отличие сигнала в течение некоторого времени от установившегося значения означает присутствие помехи рассогласования. Если эта помеха меньше запаса помехоустойчивости элементов ЭСЛ-типа, составляющей 120—150 мВ, то быстродействие линии максимально. Помеха рассогласования определяется как отклонением волнового сопротивления линии от сопротивления нагрузки, вызванным конструктивно-технологическими допусками, так и отклонением от номинального значения напряжения питания —2 В. Помеха максимальна при повышенном напряжении питания во время отрицательного перепада сигнала на выходе схемы, имеющей максимальное значение верхнего уровня выходного напряжения. Причиной помехи в этом случае является запирание выходного эмиттерного повторителя схемы ЭСЛ-типа. Повышение напряжения питания может быть как преднамеренным (например, —1,9 В при проведении регламентных работ), так и случайным из-за помех на шине питания, обусловленных изменением токопотребления. Естественно, что при большом значении напряжения помех на шине питания волновое сопротивление линии связи не должно сильно отличаться от сопротивления нагрузки, тогда как при малом уровне помех это отклонение может быть значительным. На рис. 2.9, *а* приведена зависимость допустимой помехи на шине питания от волнового сопротивления линии связи при использовании ИС серии 1500, нагрузочного резистора 51 Ом, напряжения питания —1,9 В и сохранении запаса помехоустойчивости в 45 мВ. Из рисунка видно, что уменьшение волнового сопротивления ниже 33 Ом недопустимо, так как требует отсутствия помех на шине питания. Представляется целесообразным выбор минимального значения волнового сопротивления 35 Ом и максимального значения помехи 50 мВ на шине питания. Линия с подключенными равномерно по длине входами микросхем обладает уменьшенным волновым сопротивлением $Z_м$. По минимально допустимому значению $Z_м = 35$ Ом можно найти исходное значение волнового сопротивления Z_0 при заданных вход-

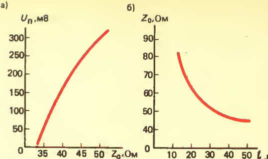


Рис. 2.9. Зависимость допустимой помехи на шине питания от величины волнового сопротивления линии связи (*а*) и необходимой величины волнового сопротивления от шага подключения БИС к линии (*б*)

ных емкостях БИС ЗУ и шаге их подключения к линии. На рис. 2.9, *б* приведен график для определения исходных значений волновых сопротивлений, позволяющий решить и обратную задачу определения шага подключения БИС ЗУ к линии по заданному значению исходного волнового сопротивления. Например, для исходного значения волнового сопротивления $Z_0 = 75$ Ом и входной емкости $C_{вх} = 5$ пФ минимально допустимый шаг подключения составляет $l_{min} = 15$ мм. Если шаг установки БИС на плате меньше минимально допустимого шага подключения, а это возможно при использовании БИС ЗУ в безвыводных носителях кристаллов [13], то следует подключать БИС к линии через одну.

В общем случае линия, по которой передаются адресные и управляющие сигналы, состоит из трех участков: участка, проходящего в матрице БИС ЗУ, устанавливаемыми с равномерным шагом: участка от буферного элемента до первой БИС ЗУ, длина которого обычно значительно больше шага установки БИС в матрице; участка от последней БИС ЗУ до нагрузочного резистора. Очевидно, что номинальное значение волнового сопротивления последнего участка должно быть равно сопротивлению нагрузки и составлять 51 Ом, при этом длина его не лимитируется, а определяется удобством размещения блока резисторов нагрузки на печатной плате. В пределах собственно матрицы БИС ЗУ исходное значение волнового сопротивления должно составлять 80—100 Ом, что обеспечивает модифицированное значение волнового сопротивления 35—50 Ом. Волновое сопротивление

участка линии от буферного элемента до первой БИС ЗУ выбирается по возможности равным модифицированному волновому сопротивлению в матрице БИС.

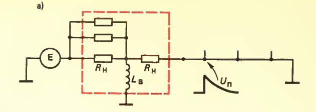
Передача адресных и управляющих сигналов в объединительной панели осуществляется последовательным обходом контактов модулей и согласованием линии на дальнем конце. Минимальный шаг подключения входов модулей к соединительной линии определяется соотношением

$$l_{\min}=\frac{Z_{0п}C_{мод}}{t_{0п}\left[\left(\frac{Z_{0п}}{35}\right)^2-1\right]},$$

где $Z_{0п}$ — исходное значение волнового сопротивления панельной линии связи; $C_{мод}$ — входная емкость модуля, состоящая из входной емкости буферной ИС и емкости печатного проводника от контакта разъема до входа ИС; $t_{0п}$ — погонная задержка в панельной линии связи.

Шаг установки модулей в панели $l_м$ задан, поэтому шаг подключения входов модулей выбирается ближайшим кратным $l_м$, большим $l_{\min}$. Подключение модулей к панельной линии связи приводит к увеличению погонной задержки в ней, тем большей, чем больше входная емкость модуля. При входной емкости ИС буферного каскада $C_{вх}=5$ пФ и емкости печатного проводника от разъема до буферной БИС, равной 5 пФ, суммарная входная емкость модуля составит 10 пФ. Минимальный шаг подключения таких модулей к печатной полосковой линии связи, имеющей волновое сопротивление $Z_0 = 75$ Ом и погонную задержку 7,5 нс/м, составляет 26 мм, что определяет необходимость подключения модулей к линии через один (при стандартном шаге 15 мм).

В качестве сопротивлений нагрузки для линий связи обычно используются резисторно-конденсаторные блоки Б20-4 и КС-1Р. При одновременной подаче на l входов блока напряжения сигналов на индуктивности $L_в$ его общего вывода выделяется импульс помехи, который передается на все входы блока (рис. 2.10, *а*). Если задержка в линии больше постоянной времени $\tau_б = L_в q/2R_н$, где q — количество резисторов $R_н$ в блоке, то при подаче от источника сигнала напряжения амплитудой E на невозбуждаемых входах возникает импульс напряжения экспоненциальной формы с постоянной времени $\tau_б$ и амплитудой $E\ l/q$. Максимальная амплитуда



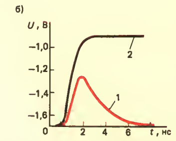


Рис. 2.10. Эквивалентная схема включения резисторного блока (*а*) и напряжение помехи на одном из входов блока (*б*, кривая *1*) при подаче на все остальные входы сигналов схемы ЭСЛ-типа (*б*, кривая *2*)

помехи возникает на одном входе при синфазном возбуждении всех остальных входов и близка к значению перепада. При конечной длительности фронта реального сигнала амплитуда помехи, естественно, меньше.

На рис. 2.10, *б* показано напряжение помехи на невозбужденном входе резисторного блока Б20-4-5В при возбуждении остальных десяти входов сигналами от ИС серии 1500. Если двойная задержка в линии меньше 2 нс, то амплитуда помехи уменьшается за счет отражения от начала линии, подключенной к выходу ИС. Обычно этого не происходит, так как на практике длина линии редко бывает меньше 100 мм.

Подключение входов синхронизации триггеров и входов записи ИС ЗУ к линии с такой помехой недопустимо из-за возможности ложного срабатывания микросхем. Однако даже в том случае, когда ложного срабатывания не происходит, увеличивается длительность фронта одиночного противофазного сигнала. Для того чтобы помеха на линии была малой, а ухудшение фронта происходило незначительно, необходимо придерживаться опре-

деленных правил конструирования цепей адреса, выбора кристалла и разрешения записи, а также выходных данных. Адресные сигналы необходимо формировать парафазными при помощи буферных элементов с прямым и инверсными выходами (см. рис. 2.8, элементы D1 — D3), а линии связи, подключенные к этим выходам, выполнять по возможности равной длины и подсоединять их к входам одного резисторного блока. К одному резисторному блоку следует подводить также сигналы с выхода дешифратора выбора кристаллов D5. В этом случае помеха будет отсутствовать, так как появление одного сигнала выбора кристалла происходит в момент выключения другого. Сигналы разрешения записи $\overline{WR}/RD$ парафазными быть не могут, а поэтому их необходимо подводить к резисторным блокам, в которых остальные сигналы отсимметрированы, а их количество следует ограничивать одним-двумя. Аналогично следует поступать с сигналами выходных данных, если их число невелико; при большой разрядности запоминающего модуля можно использовать резисторные блоки, сигналы в которых значительно отличаются по фазе от сигналов выходных данных.

Входные токи микросхем памяти, подключенных к линии передачи адресных и управляющих сигналов, являются еще одной причиной снижения помехоустойчивости. В момент прохождения верхнего уровня логического сигнала по линии в месте подключения входа схемы начинает втекать ток $I_{вх}$, одна половина которого отбирается из линии справа, а другая половина — слева от точки подключения. Пройдя N входов схем, ток, распространяющийся по линии, снизится на $I_{вх}N/2$, а напряжение в конце линии уменьшится на $I_{вх}NZ_0/2$. Вследствие отражений от источника сигналов напряжение на линии будет ступенчато нарастать и за время двух задержек $2T$ в линии достигнет стационарного значения. В действительности, уменьшение сигнала несколько меньше приведенного из-за конечной длительности фронта передаваемого сигнала. Эквивалентное напряжение помехи $U_п$, действующей в момент окончания фронта сигнала, находится с учетом коэффициента α, определяемого из графика (на рис. 2.11). Например, при $I_{вх} = 220$ мкА, $Z_0 = 50$ Ом, $N = 8$, $t_ф = 2$ нс и $2T = 4$ нс значение $\alpha = 0{,}72$ и $U_п = 36$ мВ, что можно признать допустимым.

Если напряжение помехи окажется большим 45 мВ,

то следует уменьшить число схем, подключаемых к линии связи.

Ухудшение помехоустойчивости происходит при объединении выходов микросхем памяти монтажным ИЛИ (рис. 2.8). Если транзисторы выходных каскадов схем идентичны, то объединение нескольких микросхем приводит к пропорциональному снижению тока через выходные эмиттерные повторители. Падение напряжения на эмиттерном переходе транзистора уменьшается на 20—25 мВ при снижении тока вдвое, на эту же величину возрастает нижний логический уровень сигнала и, таким образом, снижается помехоустойчивость. Допустимое снижение помехоустойчивости до 50 мВ позволяет объединять в монтажное ИЛИ четыре микросхемы. Объединение большего числа микросхем осуществляется через буферные элементы. Шаг подключения выходов микросхем к объединительной линии определяется по графику, приведенному на рис. 2.9, *б*, только вместо входной емкости используется выходная емкость БИС памяти. Сопротивление нагрузки $R_н = 51$ Ом для объединяющей линии должно размещаться на ее конце за приемником сигнала (триггерным элементом). При этом время установления сигнала от ближайшей к приемнику микросхемы составляет две задержки в линии, а от самой дальней — одну. Включение сопротивления нагрузки на дальнем от приемника конце линии недопустимо, так как это приводит к возникновению на входе приемника колебаний напряжения значительной амплитуды.

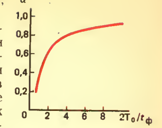


Рис. 2.11. График для определения коэффициента ослабления помехи в зависимости от соотношения задержки в линии и фронта сигнала

Для обеспечения работоспособности устройства значение помехи на шине питания —2 В не должно превышать 50 мВ. Основной причиной возникновения помехи является изменение тока потребления при переключении выходов микросхем из одного логического состояния в другое. Одновременное переключение большого числа выходов может создавать значительную помеху. В комбинационных схемах обработки информации переключение выходов происходит с высоким темпом, а помеха имеет высокочастотный характер и может быть снижена до приемлемого значения подключением к шине питания конденсаторов развязки сравнительно небольшой

емкости. В запоминающих устройствах переключение выходов микросхем может происходить и с большим периодом, например, во время прохождения тестов записи и считывания 1 и 0 по всем адресам устройства. При этом амплитуда и длительность помехи определяются в основном постоянной времени стабилизации выходного напряжения источника питания, составляющей в большинстве современных устройств 1—2 мс. Напряжение помехи на шине питания находится с помощью соотношения:

$$U_{\text{п}} = U_C \frac{(n-m)\left(\frac{RC}{k} - \tau_{\text{п}}\right)}{k\tau_{\text{п}}} \left(\mathrm{e}^{-kt/RC} - \mathrm{e}^{-t/\tau_{\text{п}}}\right),$$

где $U_C = 800$ мВ — разность логических уровней напряжения микросхем ЭСЛ-типа; n — число выходов микросхем, переключаемых в состояние высокого логического уровня напряжения; m — число выходов микросхем, переключаемых в состояние низкого логического уровня напряжения; R — нагрузочное сопротивление; C — суммарная емкость конденсаторов развязки по напряжению питания —2 В; k — общее число нагрузочных сопротивлений в устройстве; $\tau_{\text{п}}$ — постоянная времени стабилизации источника питающего напряжения.

Расчет показывает, что для удержания уровня помехи в пределах 50 мВ при $k = 10^4$, $|n-m| = 2{,}5\cdot10^3$ и $\tau_{\text{п}} = 1$ мс фильтрирующая емкость должна составлять 0,4 Ф. Установку конденсаторов столь большой емкости нельзя признать удовлетворительным решением из-за больших габаритных размеров в конденсаторах и увеличения стоимости устройств.

Эффективным способом снижения помех является уменьшение числа одновременно переключающихся выходов схем. Так, при $|n-m| \leqslant 0{,}06k$ амплитудное значение помехи не превышает 50 мВ даже при отсутствии конденсаторов развязки, а при использовании парафазных выходов микросхем помеха отсутствует. В ЗУ этот способ снижения помех рекомендуется использовать при передаче адресных сигналов через буферные элементы.

Достаточно эффективен также способ последовательного включения в цепь передачи сигнала двух микросхем — с прямым выходом и с инверсным. При этом помеха, представляющая собой разность двух сигналов, смещенных на время задержки в микросхеме, пренебрежимо мала. Этот способ рекомендуется использовать в

ЗУ при построении цепей записываемой и считываемой информации (см. рис. 2.8, элемеиты D24, D25 и D23). Существуют ЗУ, в которых для повышеиия быстродействия производится одиовремеииое считываиие иескольких слов и затем выборка одиого из иих. При этом приведеииые выше способы умеиьшеиия помех по шиие питаиия —2 В до допустимого зиачеиия стаиовятся дорогостоящими. В ряде случаев, иапример при построеиии памяти микропрограмм, иет иеобходимости примеиять указаииые выше способы в цепях записываемой и считываемой информации, поскольку каждое слово содержит всего 10—20 % «едииичной» информации и при переходе от считываиия одиого слова к считываиию другого измеиеиие тока потреблеиия иевелико. При этом иужио предусмотреть, чтобы во время тестироваиия памяти большие перепады токопотреблеиия были исключеиы. Таким образом, задача умеиьшеиия помехи иа шиие питаиия —2 В решается в каждом коикретиом случае с учетом структуры ЗУ и реальиых режимов работы в ЭВМ.

2.6 Контроль СОЗУ

● Контроль сопровождает ЗУ на протяженнн всего жнзиенного цнкла. Он иеобходнм прн разработке устройства для выявлення соответствня характерстнк заданным технческнм требованням; прн пронзводстве для обеспечення соответствня устройства ТУ; прн эксплуатацнн устройства для определення работоспособностн как прн проведении регламентных работ, так н после ремонта.

На каждом из этапов осуществляется коитроль как устройства в целом, так и его частей — модулей. Следует отметить, что для СОЗУ максимальиый объем проверок производится при коитроле модулей, так как практически всегда при работоспособиых модулях обеспечивается работоспособиость устройства.

Наиболее жесткий коитроль модулей производится при разработке опытиых образцов. При этом проверяется фуикциоиироваиие модулей и определеиие их быстродействия при воздействиях дестабилизирующий факторов: отклоиеииях иапряжеиий питаиия от иомииальиых зиачеиий в диапазоие температур. Часто строят области работоспособиости модулей в координатах питающих иапряжеиий (осиовиого и вспомогательиого), причем в ка-

честве параметра используется время выборки. При увеличении значения времеии выборки область работоспособности расширяется, при уменьшении его сужается, а при некотором малом значении исчезает совсем. Естественно, что области работоспособности должны быть определены как при иормальной и крайних заданных рабочих температурах устройства, так и за пределами этих значений. Анализ измеиеиия области работоспособиости позволяет обнаружить ошибки проектирования и после их устранения устаиовить (уточиить) нормы ТУ на модули. Аппаратура контроля модулей СОЗУ должиа обладать высокой точностью установки временных диаграмм устройства, широким набором фуикциональиых тестов (типов N, $N^{3/2}$, N^2) [2], возможиостью обращения к СОЗУ «пачками» и т. д. Контроль характеристик СОЗУ в диапазоне температур осуществляется в камерах тепла — холода. Подключение модулей к контрольной аппаратуре осуществляется согласованными кабельными линиями связи с известиой задержкой.

Раиее отмечалось, что СОЗУ является частью устройства, иапример процессора. В связи с этим коитроль правильности разработки СОЗУ в целом производится в рамках контроля процессора. Так как такая проверка осуществляется программными методами, то специальиой аппаратуры коитроля СОЗУ ие требуется.

В процессе производства СОЗУ контролю подвергаются все его модули. Кроме осиовиого иазиачеиия — проверки модулей иа соответствие требованиям ТУ — производствеииая аппаратура должна обладать способиостью диагиостироваиия иеисправиых радиоэлемеитов и печатиых плат. Осиовиыми требоваииями к аппаратуре производствеииого коитроля являются высокая точность устаиовки времеииых диаграмм и высокая производительиость.

Высокая точиость устаиовки времеииых диаграмм иеобходима, так как норма ТУ иа время выборки устанавливается как сумма истииного значеиия времеии выборки и погрешиости устаиовки времеиио́й диаграммы. Простые способы формирования времеииых диаграмм с помощью микросхем серий 500 и 1500 ие позволяют обеспечить точиость лучше одиой иаиосекуиды и поэтому пригодны для контроля СОЗУ с времеием выборки, большим 20 ис.

Высокая производительиость на приемосдаточных испытаииях обеспечивается за счет огра-

ниченного набора функциональных тестов, проверкой при наихудших отклонениях напряжений питания в нормальных климатических условиях.

Особенностью производственного контроля является входной контроль радиоэлементов и в первую очередь БИС СОЗУ. Это объясняется тем, что при *невысоком качестве* микросхем (некоторая доля из поступающих на монтаж схем неработоспособна или не соответствует ТУ) модули приходится ремонтировать. Понятно, что при этом резко возрастают затраты на производство и для их снижения целесообразно вводить входной контроль радиоэлементов. Необходимость входного контроля и его объем определяются по каждому из радиоэлементов с учетом накопленного опыта входного контроля. Практика показывает, что каждый новый тип микросхем необходимо проверять как по статическим, так и по динамическим параметрам при нормальной и повышенной температурах, и только после набора статистических данных объем входного контроля может быть уменьшен. При *высоком качестве* микросхем входной контроль может быть выборочным. Требования, предъявляемые к аппаратуре входного контроля, — высокая точность, возможность контроля в диапазоне температур и высокая производительность.

Контроль при эксплуатации СОЗУ осуществляется как во время работы, так и при проведении регламентных работ. Тесты для проверки СОЗУ составляются таким образом, чтобы могла быть выявлена неисправность конкретного модуля или даже конкретной БИС СОЗУ. Обнаруженный неисправный модуль заменяется резервным, и процедура тестирования повторяется. Ремонт неисправного модуля производится с помощью сервисного стенда, входящего в состав ЭВМ. Основным требованием, предъявляемым к такому стенду, является возможность диагностирования неисправного радиоэлемента. Требования, предъявляемые к точности установки временных диаграмм и производительности сервисных стендов, обычно невысокие.

2.7 Перспективы развития СОЗУ

Существующая тенденция непрерывного повышения производительности ЭВМ поддерживается как совершенствованием их структуры, так и сокращением времени цикла процессора, обусловленным постоян-

ным возрастанием быстродействия элементной базы. Анализ развития быстродействующих ЭВМ показывает, что производительность монопроцессора 30—100 млн. оп/с можно получить при длительности машинного цикла в 15—8 нс. Учитывая, что период обращения к буферному СОЗУ равен длительности машинного цикла, а время выборки из СОЗУ составляет 0,5—0,75 от периода обращения, нетрудно оценить требуемое время выборки перспективных СОЗУ в 5—10 нс. Следует отметить, что одновременно с повышением быстродействия СОЗУ потребуется и увеличение их емкости.

Ранее было показано, что время выборки из СОЗУ определяется временем выборки из БИС СОЗУ, задержками в схемах электронного обрамления, состоящих из буферных элементов и выходного регистра, и конструктивной задержкой в соединительных проводниках. В рассмотренном далее примере (см. § 2.3) конструирования СОЗУ составляющие времени выборки имеют следующие значения: время выборки из БИС СОЗУ — 20 нс, суммарная задержка в схемах электронного обрамления — 7 нс, суммарная конструктивная задержка — 10,5 нс. Из приведенных данных видно, что повышения быстродействия можно достичь в первую очередь улучшением характеристики БИС СОЗУ. Современный уровень микроэлектронной технологии позволяет создавать схемы ЭСЛ-типа БИС СОЗУ емкостью 4—16 К бит с временем выборки 2,5—4 нс [14]. Дополнительного повышения быстродействия можно ожидать при увеличении токов в накопительных элементах БИС СОЗУ, что ускорит время перезаряда паразитных емкостей матрицы запоминающих элементов и тем самым приведет почти к пропорциональному уменьшению задержек и времени выборки. Повышение быстродействия, однако, связано с увеличением мощности, подводимой к кристаллам БИС. Это накладывает дополнительные требования к системе охлаждения элементов и приводит к выводу, что сверхбыстродействующие устройства обязательно должны снабжаться эффективными системами отвода теплоты.

■ **Для достижения максимального быстродействия СОЗУ кроме повышения быстродействия БИС СОЗУ необходимо сокращать и конструктивные задержки.**

В рассматриваемом примере конструктивная задержка составляет 10,5 нс. Конструктивные задержки можно сократить только за счет уменьшения геометрических

размеров БИС ЗУ, например, при использовании микрокорпусов. Разумно принять конструктивную задержку равной 30—40% от требуемого времени выборки. Например, для перспективного СОЗУ с временем выборки 10 нс конструктивная задержка должна быть не более 4 нс, что потребует площадь, занимаемую СОЗУ на плате, 100×200 мм^2. На такой плате в условиях эффективного охлаждения можно разместить около 150 БИС СОЗУ в микрокорпусах. При использовании БИС СОЗУ 4—16 К бит с временем выборки 3—4 нс общая емкость проектируемого СОЗУ с временем выборки 10 нс составит 64—256 К байт.

Дальнейшее совершенствование методов отвода теплоты и повышение плотности монтажа БИС ЗУ, например, при использовании многокристальной конструкции СОЗУ с системой жидкостного охлаждения, подобной примененной фирмой IBM в ЭВМ 3081 [15], позволит разместить до 72 кристаллов СОЗУ с рассеиваемой мощностью по 4 Вт на монтажной плате размером $90 \times \times 60$ мм^2. Один такой многокристальный модуль при использовании БИС СОЗУ емкостью 16—64 К бит с временем выборки 1,5—2 нс обеспечит построение СОЗУ емкостью 128—512 К байт с временем выборки около 5 нс.

Таким образом, основным направлением повышения быстродействия СОЗУ является применение БИС СОЗУ с большими значениями удельной рассеиваемой мощности на кристалле, совершенствование системы отвода теплоты от кристалла и повышение плотности их компоновки.

ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

2.1. В чем основные пренмущества ИС сернн 1500 по сравненню с ИС сернн 500?

2.2. Что такое тнповое н макснмальное значения временн выборкн? Какнм значеннем необходнмо пользоваться прн расчетах?

2.3. Какова основная область применения сверхбыстродействующнх ОЗУ?

2.4. Почему стремятся сократнть геометрнческне размеры СОЗУ?

2.5. Каково тнпнчное значение погонной задержкн н волнового сопротнвления в полосковых лнннях многослойных печатных плат?

2.6. Как несогласованность лнннн связн влняет на длнтельность переходных процессов, пронсходящнх в ней?

2.7. Что пронсходнт с волновым сопротнвленнем лннин связн прн подключеннн входов ннтегральных схем?

2.8. Из какнх задержек состонт время выборкн СОЗУ?

Глава

3 Динамические ОЗУ

3.1 Область применения ОЗУ

● **Создание ЭВМ связано с разработкой быстрых, надежных и экономичных ОЗУ большой емкости, предназначенных для хранения, оперативного считывания и записи информации.**

До середины 70-х годов основными элементами памяти для построения таких ОЗУ являлись ферритовые сердечники. Емкость лучших ОЗУ на ферритовых сердечниках в стойке объемом 1,8 $м^3$ составила 1 М байт (совместно с системой вторичного электропитания) при времени выборки 0,65 мкс, времени цикла 1,25 мкс и удельной потребляемой мощности по вторичной сети около 750 мкВт/бит. Наращивание емкости оперативной памяти осуществлялось путем последовательного объединения стоек ферритового ОЗУ.

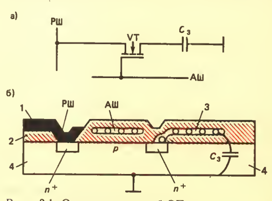
Успехи в области интегральной технологии позволили к концу 60-х годов перейти к промышленному освоению полупроводниковых интегральных схем памяти, а к середине 70-х годов — к широкому использованию для построения запоминающих устройств различного назначения. В настоящее время запоминающие устройства на динамических больших интегральных схемах памяти (ДБИС ЗУ) используются практически во всех типах ЭВМ — микроЭВМ, малых и больших ЭВМ, универсальных и специализированных ЭВМ. Они применяются также и во вспомогательном оборудовании ЭВМ, например в сервисной аппаратуре и периферийных устройствах. Это позволяет обеспечить высокие технико-экономические характеристики устройств, использующих ДБИС ЗУ. Однако, несмотря на достаточно широкую об-

ласть прнменення ДБИС ЗУ, основным н нанболее перспектнвным направленнем нх использования являются запоминающие устройства большой и сверхбольшой информацнонной емкостн.

3.2 Динамические БИС ЗУ

Дннамнческие БИС ЗУ строятся на дннамнческнх элементах памятн. Информацня в ЭП этого тнпа хранвтся в внде заряда запомннающего конденсатора. Простота схемных решенй дннамнческнх ЭП позволяет нм заннмать меньшую площадь по сравненю со статнческнмн. Дннамнческне БИС ЗУ реалнзуются на основе ннтегральных транзнсторов со структурой металл — окисел — полупроводннк (МОП-транзнсторы). Развнтне схемотехннкн ДБИС ЗУ шло по путн уменьшения чнсла МОП-транзнсторов, образующнх ЭП. Современные ДБИС ЗУ проектнруются на основе однотранзнсторных ЭП, в отлнчне от трехтранзнсторных ЭП, характерных для мнкросхем памятн раннх разработок. Это позволяет нметь для ДБИС ЗУ бо́льшую ннформацнонную емкость, меньшне потребляемую мощность н стонмость, чем для статнческнх БИС ЗУ.

На рнс. 3.1, *а* приведена электрнческая схема однотранзнсторного ЭП. В режиме хранення ннформацнн МОП-транзнстор VT закрыт. Прн подаче напряжения на адресную шнну АШ транзистор VT открывается н при



Р и с. 3.1. Однотранзисторный ЭП:
а — электрическая схема; *б* — структурная (*1* — металлизация, *2* — окисел, *3* — поликристаллический кремний, *4* — подложка)

этом ЭП оказывается подготовленным для записи или считывания информации. Запись логической 1 осуществляется зарядом, а логического 0 — разрядом запоминающего конденсатора $C_з$ при подаче на разрядную шину РШ соответственно высокого или низкого потенциала. Состояние ЭП при считывании информации определяется по наличию или отсутствию тока считывания в РШ [1].

Простейшей структурой, реализующей представленную электрическую схему, является МОП-транзистор с диффузионной областью стока или истока, образующей с подложкой обратносмещенный n^+-p-переход, емкость обедненного слоя которого используется в качестве запоминающего конденсатора (рис. 3.1, *б*). Для уменьшения омического сопротивления шины РШ обычно выполняется металлизированной. Шина АШ, являющаяся одновременно затвором транзистора VT, изготовляется из поликремния [5]. ЭП с одним слоем поликремния использовались при построении первых n-канальных ДБИС ЗУ емкостью 4 К бит. При разработке ДБИС ЗУ емкостью 16 и 64 К бит использовалась двухуровневая поликремниевая технология. Создание ДБИС ЗУ большей емкости непосредственно связано с совершенствованием технологии изготовления однотранзисторных ЭП.

Для обеспечения сохранности информации в ЭП необходима периодическая регенерация заряда конденсатора, поскольку из-за токов утечки запоминающий конденсатор может разряжаться. Это осуществляется с помощью периодических циклов регенерации, во время которых информация из ЭП считывается и вновь записывается в ЭП. Периодичность восстановления информации в ЭП называется *периодом регенерации*. Период регенерации $T_{рег}$ резко уменьшается с увеличением температуры, однако максимальное значение $T_{рег}$, гарантируемое ТУ на большинство серийно выпускаемых ДБИС ЗУ, одинаково и составляет 2 мс при температуре +70°С. Длительность циклов регенерации обычно равна длительности циклов считывания или записи информации.

Матрица динамических ЭП, объединенная со схемами управления, обеспечивающими запись, считывание и хранение информации, образует ДБИС ЗУ. В табл. 3.1 приведены основные технические характеристики ДБИС ЗУ емкостью 4, 16 и 64 К бит, разработанных в разные годы в нашей стране. Период регенерации представленных ДБИС ЗУ равен 2 мс. Все они организованы в

Тип микросхемы	Организация, слов×разряд	Напряжение питания, В	Время выборки относительно сигнала RAS, нс, не более	Время цикла записи считывания, нс, не более	Потребляемая мощность, мВт, не более		Корпус (тип, число выводов, ширина, мм)
					в режиме хранения	в режиме обращения	
К565РУ1А	4096×1	5±5% 12±5% −5±5%	200	400	33	720	ДИП; 22; 10
К565РУ3Г	16 384×1	5±10% 12±10% −5±10%	250	370	40	460	ДИП;16; 7,5
КР565РУ6Б	16 384×1	5±10%	120	230	22	150	ДИП; 16; 7,5
К565РУ5Б	65 536×1	5±10%	120	230	22	250	ДИП; 16; 7,5

виде N одноразрядных чисел. Характерным для ДБИС ЗУ ранних разработок (К565РУ1А, К565РУ3Г) является наличие трех номинальных напряжений питания и относительно большая потребляемая мощность. Существенный недостаток ДБИС ЗУ емкостью 4 К бит — большой корпус, что снижает плотность размещения микросхем памяти этого типа в запоминающих устройствах. Этот недостаток, связанный с отсутствием в ДБИС ЗУ К565РУ1А режима мультиплексного приема адреса, устранен в ДБИС ЗУ большей емкости, что позволило разместить их в более компактном корпусе.

На примере ДБИС ЗУ К565РУ5 рассмотрим более подробно технические характеристики и принципы работы микросхем памяти динамического типа. На рис. 3.2 представлены структурная схема (*а*) и графическое изображение (*б*) ДБИС ЗУ. В табл. 3.2 приведены классификационные параметры групп Б, В, Г, Д микросхемы памяти, на рис. 3.3 — временные диаграммы ее работы. Параметры временной диаграммы ДБИС ЗУ группы Б приведены в табл. 3.3. Статические параметры микросхемы К565РУ5Б представлены в табл. 3.4.

ДБИС ЗУ К565РУ5 представляет собой запоминающее устройство с произвольной выборкой, организованное в виде 65 536 одноразрядных слов (64 К×1). По

Тип микросхемы	Напряжение питания, В	Время выборки относительно сигнала $\overline{RAS}$, нс, не более	Время цикла записи—считывания, нс, не более	Период регенерации, мс, не более	Потребляемая мощность, мВт, не более	
					в режиме хранения	в режиме обращения
К565РУ5Б	5±10%	120	230	2	22	250
К565РУ5В	5±10%	150	280	2	22	195
К565РУ5Г	5±5%	200	360	2	22	185
К565РУ5Д	5±5%	250	460	1	21	160

всем входам и выходу она совместима с ТТЛ-схемами. ДБИС ЗУ выполнена в 16-выводном металлокерамическом корпусе типа 2103.16—5 (ДИП) шириной 7,5 мм. Микросхема изготовлена по двухуровневой поликремниевой n-канальной МОП-технологии, обеспечивающей минимальные линейные размеры элементов 2,5 мкм и площадь кристалла 22,2 мм². Номинальное напряжение пи-

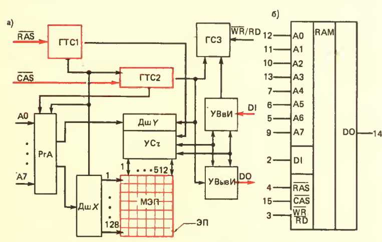


Рис. 3.2. Динамическая БИС ЗУ К565РУ5:

а — структурная схема: Дш*X* — дешифратор строк; Дш*Y* — дешифратор столбцов; МЭП — матрица ЭП; ГСЗ — генератор сигналв записи; УВвИ — устройство ввода информации; УВывИ — устройство вывода информации; PrA — регистр адреса; ГТС1 — первый генератор тактовых сигналов; ГТС2 — второй генератор тактовых сигналов; УСч — усилитель считывания; *б* — графическое обозначение

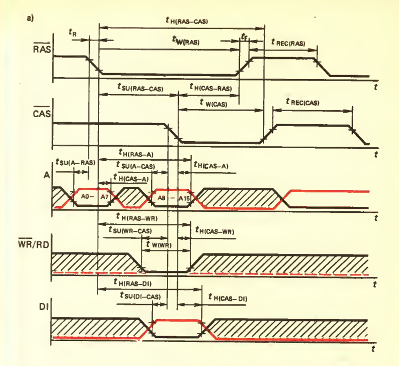


Рис. 3. 3. Временные диаграммы работы микросхемы К565РУ5:
а — режим записи; *б* — режим считывания; *в* — режим считывания-модификации-записи; *г* — страничный режим записи; *д* — страничный режим считывания; *е* — режим регенерации

тания микросхемы +5 В. Потребляемая мощность в режиме хранения не превышает 22 мВт, а в режиме обращения — 250 мВт. Микросхема работает в диапазоне температур от −10 до +70 °С. Выпускается в виде четырех групп исполнения, отличающихся быстродействием и потребляемой мощностью.

Функционирование микросхемы памяти осуществляется при подаче двух внешних тактовых сигналов $\overline{RAS}$ и $\overline{CAS}$, обеспечивающих с помощью ГТС1 и ГТС2 формирование внутренней временной диаграммы работы ДБИС ЗУ. Элементы памяти организованы в виде матрицы ЭП, состоящей из 128 строк и 512 столбцов. Для выбора любого из 65 536 элементов памяти необходимо на 8-разрядный регистр адреса подать в мультиплексном режиме (за два последовательных сообщения) 16-разрядный код адреса. При этом восемь разрядов кода адреса строк

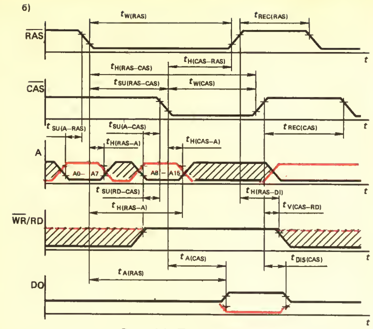


Рис. 3.3. Продолжение

(A0—A7) принимаются на РгА с помощью сигнала $\overline{RAS}$, а восемь разрядов кода адреса столбцов (A8—A15) — с помощью сигнала $\overline{CAS}$. Дешифрация строк и столбцов осуществляется с помощью Дш*X* и Дш*Y*.

Микросхема памяти работает в следующих основных режимах: запись; считывание; считывание — модификация — запись; страничная запись; страничное считывание; регенерация.

В режиме записи после перехода сигналов $\overline{RAS}$, $\overline{WR}$/RD и $\overline{CAS}$ в активное состояние — (логический **0**) входная информация DI принимается сначала на входной триггер — защелку, расположенный в УВвИ, а затем перезаписывается в выбранный ЭП. Стробом приема числа DI является тот из сигналов $\overline{WR}$/RD или $\overline{CAS}$, который позже переходит в активное состояние. При этом если сигнал $\overline{WR}$/RD становится активным раньше сигнала $\overline{CAS}$, то время установления и удержания числа DI отсчитывается от момента подачи сигнала $\overline{CAS}$. Это так называемый режим *ранней записи*. В режиме *поздней записи* сигнал $\overline{WR}$/RD задерживается относительно сигнала $\overline{CAS}$, а время установления и удер-

в)

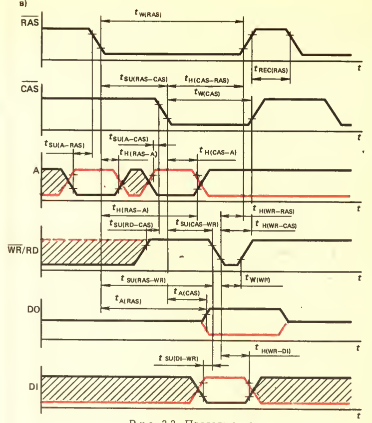


Рис. 3.3. Продолжение

жания входных данных отсчитывается от перехода сигнала $\overline{WD}$/RD в активное состояние. Наличие перечисленных режимов записи позволяет более гибко использовать ДБИС ЗУ при построении на ее основе запоминающих устройств.

В режиме считывания информация D0 появляется на выходе устройства вывода информации УВывИ через время $t_{A\,(RAS)}$ после перехода сигнала $\overline{RAS}$ в активное состояние и сохраняется на выходе микросхемы памяти до тех пор, пока $\overline{CAS}$ не перейдет в состояние логической 1. Считывание информации происходит без ее разрушения. Выходная информация не инвертируется относительно записываемой.

В режиме считывания — модифика-

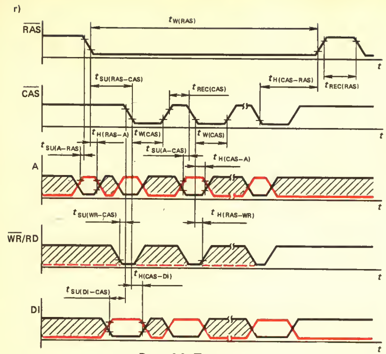


Рис. 3.3. Продолжение

ции — записи происходит считывание информации, ее модификация (изменение) в случае необходимости с последующей записью данных по одному и тому же адресу ДБИС ЗУ. Этот режим используется, например, в запоминающих устройствах с коррекцией ошибок или в ЗУ с побайтной записью информации. Так как длительность цикла режима считывания — модификации — записи меньше суммарной длительности циклов считывания и записи, то применение этого режима позволяет в ряде случаев улучшить технические характеристики запоминающих устройств.

В режиме страничной записи (считывания) происходит запись (считывание) информации в ЭП, расположенных в разных столбцах одной из постоянно выбранных в пределах цикла обращения строки. В этом режиме достигается повышение быстродействия ДБИС ЗУ.

В режиме регенерации за один цикл происходит восстановление данных всех 512 элементов памяти,



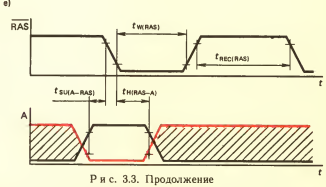


Рис. 3.3. Продолжение

расположенных в пределах той строки, адрес которой соответствует коду адреса регенерации. Восстановление информации во всей ДБИС ЗУ осуществляется при периодическом переборе всех 128 строк за время, не превышающее 2 мс. В этом режиме на входы ДБИС ЗУ достаточно подать сигнал $\overline{RAS}$ и адрес строки (A0—A7).

Таблица 3.3

Параметр	Обозначение параметра	Значение параметра, нс	
		минимальное	максимальное
Длительность сигнала			
$\overline{RAS}$	$t_{W(RAS)}$	120	10 000
$\overline{CAS}$	$t_{W(CAS)}$	70	10 000
$\overline{WR}$/RD	$t_{W(WR)}$	35	—
Время установления сигнала			
$\overline{RAS}$ относительно $\overline{CAS}$	$t_{SU(RAS-CAS)}$	30	50
адреса строк » $\overline{RAS}$	$t_{SU(A-RAS)}$	0	—
адреса столбцов » $\overline{CAS}$	$t_{SU(A-CAS)}$	0	—
считывания » $\overline{CAS}$	$t_{SU(RD-CAS)}$	0	—
DI " $\overline{CAS}$	$t_{SU(DI-CAS)}$	0	—
DI " $\overline{WR}$/RD	$t_{SU(DI-WR)}$	0	—
$\overline{WR}$/RD » $\overline{CAS}$	$t_{SU(WR-CAS)}$	0	—
$\overline{CAS}$ » $\overline{WR}$/RD	$t_{SU(CAS-WR)}$	70	—
RAS » $\overline{WR}$/RD	$t_{SU(RAS-WR)}$	120	—
Время удержания сигнала			
адреса строк относительно $\overline{RAS}$	$t_{H(RAS-A)}$	15	—
адреса столбцов » $\overline{CAS}$	$t_{H(CAS-A)}$	25	—
$\overline{RAS}$ » $\overline{CAS}$	$t_{H(CAS-RAS)}$	70	—
считывания » $\overline{CAS}$	$t_{V(CAS-RD)}$	15	—
DI » $\overline{CAS}$	$t_{H(CAS-DI)}$	45	—
DI » $\overline{WR}$/RD	$t_{H(WR-DI)}$	45	—
$\overline{WR}$/RD » $\overline{CAS}$	$t_{H(CAS-WR)}$	45	—
$\overline{CAS}$ » $\overline{RAS}$	$t_{H(RAS-CAS)}$	120	—
DI » $\overline{RAS}$	$t_{H(RAS-DI)}$	95	—
$\overline{WE}$ » $\overline{RAS}$	$t_{H(RAS-WR)}$	95	—
считывания » $\overline{RAS}$	$t_{H(RAS-DI)}$	30	—
адреса столбцов » $\overline{RAS}$	$t_{H(RAS-A)}$	75	—
Длительность интервала между сигналами:			
$\overline{RAS}$	$t_{REC(RAS)}$	100	—
$\overline{CAS}$ (в страничном режиме)	$t_{REC(CAS)}$	70	—
$\overline{CAS}$	$t_{REC(CAS)}$	35	—
Время записи информации по сигналу			
$\overline{RAS}$	$t_{H(WR-RAS)}$	55	—
$\overline{CAS}$	$t_{H(WR-CAS)}$	55	—
Время фронта, спада	t_R, t_F	3	35
Время выборки относительно сигнала			
$\overline{CAS}$	$t_{A(CAS)}$		70

Параметр	Обозначение параметра	Значение параметра, нс	
		минимальное	максимальное
$\overline{RAS}$	$t_{A\ (RAS)}$		120
Время сохранения сигнала выходной информации относительно сигнала $\overline{CAS}$	$t_{DIS\ (CAS)}$		35

Таблица 3.4

Параметр	Обозначение параметра	Значение параметра	
		минимальное	максимальное
Напряжение питания, В	$U_п$	4,5	5,5
Ток потребления динамический, мА	$I_{пот.\ дин}$	—	45
Ток потребления статический, мА	$I_{пот.\ ст}$	—	4,0
Входное напряжение, В:			
логического **0**	U_{IL}	— 1,0	0,8
логической **1**	U_{IH}	2,4	6,0
Выходное напряжение, В:			
логического **0**	U_{OL}	—	0,4
логической **1**	U_{OH}	2,4	—
Выходной ток, мА:			
логического **0**	I_{OL}	—	4,0
логической **1**	I_{OH}	—	2,0
Выходной ток утечки, мкА	I_{LO}	— 10	10
Входной ток утечки, мкА	I_{LI}	— 10	10
Входная емкость, пФ:			
по входам $\overline{WR}$/RD, $\overline{RAS}$, $\overline{CAS}$	C_I	—	10
по входам A, DI	C_I	—	6
Выходная емкость, пФ	C_O		10
Максимальная емкость нагрузки, пФ	C_L	—	50

Так как сигнал $\overline{CAS}$ равен при этом логической **1**, то выход ДБИС ЗУ находится в состоянии высокого импеданса. Описанный режим называется *только* $\overline{RAS}$. Существует еще так называемый режим *скрытой регенерации.*

Он реализуется, если после цикла обращения, предшествующего циклу *только* $\overline{RAS}$, сигнал $\overline{CAS}$ остается в состоянии логического **0**. В этом случае выход ДБИС ЗУ не меняет того состояния, в которое он установился в предыдущем цикле обращения. Эта особенность ДБИС ЗУ используется для организации *скрытой регенерации*, когда повторная подача сигнала $\overline{RAS}$ при активном сигнале $\overline{CAS}$ формирует цикл регенерации при сохранении на выходе ДБИС ЗУ информации, считанной в предыдущем цикле.

Из всех перечисленных режимов микросхема памяти потребляет минимальную мощность в режиме *только* $\overline{RAS}$. Следует отметить также, что и при обычных циклах считывания, записи и т. д. регенерация информации также выполняется, причем в той строке ЭП, адрес которых соответствует строчной части адреса обращения.

Особенностью некоторых ДБИС ЗУ является наличие в них так называемого *слогового режима*, позволяющего записывать или считывать блок из четырех последовательно адресованных бит за время одного цикла работы микросхемы памяти. При этом адрес первого бита блока задается обычным способом, а адреса трех последующих бит формируются с помощью счетчика адресов, расположенного в БИС ЗУ.

■ **При проектироваиии запомииающих устройств иа ДБИС ЗУ иеобходимо учитывать, что для правильиого фуикциоиироваиия микросхем памяти этого типа после включеиия питаиия требуется пауза (обычио ие меиее 2 мс) с последующей подачей 8—16 рабочих циклов обращеиия или регеиерации.**

Развитие динамических БИС ЗУ идет по пути совершенствования технологии их изготовления, повышения степени интеграции и быстродействия, снижения потребляемой мощности. Мировой тенденцией является четырехкратное увеличение каждые 3—4 года информационной емкости ДБИС ЗУ. За последние 15 лет степень интеграции ДБИС ЗУ возросла примерно в 1000 раз. По состоянию на 1987 г. емкость лучших микросхем памяти динамического типа, серийно выпускаемых зарубежными фирмами, составила 1 М бит при времени выборки 90 нс. Для экспериментальных образцов ДБИС ЗУ такой емкости достигнуто время выборки 30 нс и удельная потребляемая мощность 0,27 мкВт/бит.

Рядом зарубежных фирм уже созданы эксперимен-

тальные образцы ДБИС ЗУ емкостью 4 М бит с временем выборки менее 100 нс и удельной потребляемой мощностью не более 0,1 мкВт/бит. Их промышленное освоение запланировано на 1988—1989 гг. Более дальней перспективой является создание в начале 90-х годов ДБИС ЗУ емкостью 16 М бит, в середине 90-х годов — емкостью 64 М бит и к концу 90-х годов — ёмкостью 256 М бит. Это потребует разработки новой технологии с размерами элементов до 0,25 мкм. Так как при этом значительно уменьшается площадь запоминающего элемента и величина хранимого в ней заряда, то весьма актуальной становится уменьшение потока сбоев из-за альфа-частиц, излучаемых материалом корпуса интегральных схем. Кроме того, трудности детектирования слабого сигнала на выходе ЭП потребуют новых схемотехнических решений при разработке динамических микросхем памяти такой информационной емкости.

3.3 Организация динамических ОЗУ

При построении динамических ОЗУ широкое распространение получил так называемый *модульный принцип.* Например, конструкция и компоновка ОЗУ для Единой Системы ЭВМ (ЕС ЭВМ) выполняется в виде ряда типовых модульных уровней, основные конструктивные и технологические параметры которых стандартизованы. В ЕС ЭВМ используются пять модульных уровней:

1 — интегральная схема;

2 — типовой элемент замены (ТЭЗ), содержащий интегральные схемы и другие необходимые комплектующие изделия, размещаемые на печатной плате;

3 — панель, содержащая до 58 ТЭЗ;

4 — рама, содержащая до шести панелей;

5 — стойка, содержащая до трех рам.

Модульный принцип построения позволяет создавать устройства с различными технико-экономическими характеристиками, упрощает их разработку, изготовление, наладку и эксплуатацию. Подробное описание типовых конструкций, получивших наибольшее распространение в отечественных ЭВМ, приведено в [11].

Структура накопительного ТЭЗ. Для получения необходимой адресности и разрядности ОЗУ модули памяти должны обеспечивать в общем случае наращивание информационного объема путем объединения определен-

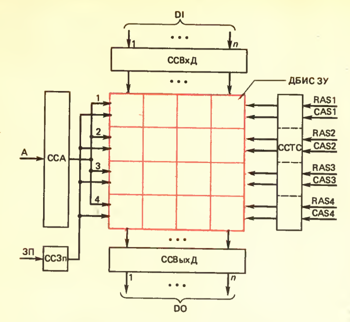


Рис. 3.4. Структурная схема НТЭЗ на ДБИС ЗУ

ного числа модульных уровней. Непосредственное объединение ДБИС ЗУ осуществляется в накопительном ТЭЗ (НТЭЗ). На рис. 3.4 приведен вариант структурной схемы НТЭЗ на ДБИС ЗУ, часто используемой для построения ОЗУ большой емкости. В ее состав входят накопитель, состоящий из матрицы ДБИС ЗУ, схемы согласования (СС), адреса (ССА), тактовых сигналов (ССТС), входных данных (ССВхД), выходных (ССВых Д) сигнала записи ССЗп. Схемы согласования предназначены для согласования характеристик токов и напряжений, поступающих на НТЭЗ сигналов, с аналогичными параметрами ДБИС ЗУ. Так как современные ДБИС ЗУ согласуются с ТТЛ ИС, то СС могут быть выполнены на ИС этой серии. Для перехода с ТТЛ на другие уровни, например ЭСЛ, необходимы специальные трансляторы уровня ТТЛ — ЭСЛ и ЭСЛ — ТТЛ. Для повышения быстродействия ОЗУ трансляторы уровня располагаются непосредственно в НТЭЗ. Однако при этом уменьшается плотность компоновки ОЗУ и существенно возрастает потребляемая мощность. Поэтому если требо-

вания по быстродействию не являются первостепенными, то при компоновке устройства трансляторы уровня целесообразно размещать вне НТЭЗ. Например, в функциональных блоках ОЗУ, формирующих адресные, тактовые и другие сигналы, необходимые для работы ДБИС ЗУ.

Рассмотренная структурная схема НТЭЗ обеспечивает хорошее соотношение между объемом, занимаемым БИС ЗУ, и остальным оборудованием ОЗУ. Поэтому она часто используется для построения ОЗУ большой информационной емкости. В технически обоснованных случаях в состав НТЭЗ помимо схем согласования могут входить и другие функциональные элементы — буферные регистры адреса, регистры входных и выходных данных, дешифраторы тактовых сигналов и т. д. Их размещение в НТЭЗ, однако, более целесообразно при небольшой повторяемости НТЭЗ, так как в противном случае ухудшаются такие характеристики ОЗУ, как надежность, плотность компоновки и потребляемая мощность.

Характерным для ДБИС ЗУ, так же как и для статических БИС ЗУ, изготовляемых по МОП-технологии, является высокое входное омическое сопротивление. Поэтому при определении числа Q ДБИС ЗУ, нагружаемых на ТТЛ-схему, учитывается в основном емкость входов микросхем памяти. Приближенно Q можно оценить формулой

$$Q = \frac{C_{max}}{C_I},$$

где C_{max} — максимальная емкость нагрузки ТТЛ-схемы; C_I — емкость входа ДБИС ЗУ.

Так как для ТТЛ ИС серии 155 емкость $C_{max} \leqslant \leqslant 200$ пФ, а для ДБИС ЗУ емкость $C_I \approx 6 \div 10$ пФ, то $Q \leqslant 20 \div 30$. При более точных расчетах необходимо учитывать также и емкость печатных проводников.

Выходной каскад современных ДБИС ЗУ строится по схеме с тремя устойчивыми состояниями, обеспечивающей объединение выходов микросхем памяти по схеме логического ИЛИ. Выход ДБИС ЗУ имеет собственную емкость $C_O \approx 6 \div 10$ пФ, согласуется, как правило, с ТТЛ-схемами и работает на емкостную нагрузку до 50—100 пФ. Поэтому число ДБИС ЗУ, объединяемых между собой по выходу, обычно не превышает 4—8. Объединение НТЭЗ по выходу также реализуется достаточно просто, если схемы согласования ССВых Д имеют три

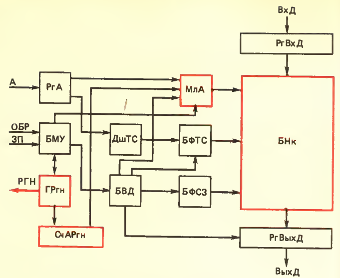


Рис. 3.5. Структурная схема ОЗУ на ДБИС ЗУ

устойчивых состояния. Примером ТТЛ-схемы, обладающей подобным свойством, служит ИС К155ЛП8.

Объединение НТЭЗ происходит в панелях, которые, в свою очередь, объединяются в раме. Последующее наращивание информационной емкости устройства осуществляется при объединении рам. В необходимых случаях возможно и объединение отдельных стоек ЗУ. Функционально-законченным устройством является, как правило, стойка ОЗУ.

Структура ОЗУ на ДБИС ЗУ. Структура ОЗУ на ДБИС ЗУ является более сложной по сравнению с организацией статических ОЗУ. Объясняется это особенностями функционирования микросхем памяти динамического типа. На рис. 3.5 приведена структурная схема ОЗУ на ДБИС ЗУ. Ее работа осуществляется следующим образом. Код адреса обращения принимается на регистр адреса (РгА). Далее $\log_2 N$ разрядов адреса (N — емкость ДБИС ЗУ) поступают на входы мультиплексора адреса (МлА), а $\log_2 G$ (G — число ДБИС ЗУ, входящих в один информационный разряд ОЗУ) — на входы дешифратора тактовых сигналов (ДшТС). При подаче на блок местного управления (БМУ) сигнала обращения ОБР сначала запускается блок временнóй диа-

граммы (БВД), а затем — МлА и блок формирования тактовых сигналов (БФТС) $\overline{RAS}$ и $\overline{CAS}$. В результате на блок накопителя (БНк) поступают мультиплексированные разряды кода адреса (по $0{,}5\ \log_2 N$ разрядов в каждом сообщении) и один из G сигналов $\overline{RAS}$ и $\overline{CAS}$. При этом если на входе БМУ отсутствует сигнал записи ЗП, то в ОЗУ реализуется режим считывания информации, которая из БНк поступает на регистр выходных данных (Рг Вых Д) и далее в процессор. Наличие на входе БМУ сигнала ЗП запускает в режиме обращения блок формирования сигнала записи (БФСЗ) и в БНк производится запись информации из регистра входных данных (Рг Вх Д).

При наличии импульса на выходе генератора регенерации (ГРгн), работающего с периодом $T_{\text{ген}} = T_{\text{рег}}/m_{\text{р}}$ ($m_{\text{р}}$ — число строк ЭП в ДБИС ЗУ), к состоянию счетчика адресов регенерации СчАРги прибавляется 1. Код адреса регенерации ($\log_2 m_{\text{р}}$ разрядов) поступает из СчАРги в МлА и после запуска БВД далее — в БНк. Из ОЗУ в процессор выдается признак регенерации РГН. При этом БФТС формирует тактовые сигналы $\overline{RAS}$, поступающие одновременно на все ДБИС ЗУ блока накопителя. Формирование тактовых сигналов $\overline{CAS}$ в цикле регенерации не является обязательным.

Необходимым условием правильного функционирования ОЗУ на ДБИС ЗУ является нормальное завершение любого рабочего цикла — считывания, записи или регенерации. Для этого требуется, чтобы между сигналами ОБР и РГН не возникало конфликтных ситуаций. Так как сигнал РГН, как правило, формируется асинхронно и, кроме того, существует задержка $t_{\text{з.р}}$ в распространении сигналов между ОЗУ и процессором, то в общем случае при отсутствии специальных технических решений возможны конфликты между сигналами ОБР и РГН. Одним из способов их устранения является реализация следующего алгоритма обработки сигнала обращения и формирования цикла регенерации в ОЗУ. Если после выдачи из ОЗУ сигнала РГН сигнал ОБР отсутствует в течение времени $(2 \div 3)\, t_{\text{з.р}}$, то в ОЗУ формируется цикл регенерации. Если же сигнал ОБР поступает в ОЗУ в течение указанного интервала времени, то он обрабатывается, а цикл регенерации формируется по завершении считывания или записи информации. Возможны и другие способы устранения конфликтных ситуаций между сигналами ОБР и РГН. Например, размещение

генератора регенерации и счетчика адресов регенерации в процессоре позволяет в максимальной степени приблизить источники сигналов ОБР и РГН и в конечном итоге устранить разницу в задержках распространения сигналов.

Представленную на рис. 3.5 структурную схему можно рассматривать как базовую для ОЗУ на ДБИС ЗУ. В зависимости от требований, предъявляемых к устройству, и их конкретной технической реализации организация ОЗУ может отличаться от базовой. В частности, в состав ОЗУ на ДБИС ЗУ могут входить блок обнаружения и коррекции ошибок, блок автономного контроля и диагностики устройства и другие функциональные блоки, улучшающие технико-экономические характеристики ОЗУ.

3.4 Особенности проектирования динамических ОЗУ

При проектировании динамических ОЗУ важны вопросы организации регенерации информации, снижения помех в цепях электропитания ДБИС ЗУ и расчет мощности, потребляемой устройством.

Выбор способа регенерации информации в ОЗУ на ДБИС ЗУ. Необходимость периодического восстановления информации в ДБИС ЗУ требует организации соответствующего режима регенерации в ОЗУ. Способы регенерации информации в ОЗУ могут быть различными. Однако наибольшее распространение получил способ равномерно распределенной регенерации, в соответствии с которым период регенерации $T_{\text{рег}}$ разбивается на равные интервалы времени длительностью $t_{\text{рег}} = T_{\text{рег}}/m_{\text{р}}$. В конце каждого из интервалов формируется цикл регенерации, осуществляющий восстановление информации в одной из строк матрицы ЭП.

Другим возможным способом является пакетная или групповая регенерация, в соответствии с которой в конце каждого периода регенерации $T_{\text{рег}}$ формируются $m_{\text{р}}$ последовательных циклов регенерации. Этот способ эффективно применяется в запоминающих устройствах, допускающих резервный режим хранения информации, а также в устройствах с низкой средней частотой обращений.

Сравнение рассмотренных способов регенерации информации показывает, что при равномерно распределен-

ной регенерации меньше уровень помех на шинах электропитания, а поэтому в большинстве случаев ей отдается предпочтение. Для сокращения потерь времени регенерация обычно выполняется одновременно в одноименных строках всех ДБИС ЗУ, входящих в состав ОЗУ или функционально законченной его части. Восстановление информации всего ОЗУ осуществляется при этом циклическим перебором всех строк за время $T_{\text{рег}}$. Реализация подобной процедуры требует, однако, определенных аппаратурных и временных затрат.

Во время циклов регенерации обращения к ДБИС ЗУ по считыванию или записи запрещены. Это, однако, не имеет принципиального значения в асинхронных ЭВМ и приводит лишь к усложнению интерфейса между процессором и ОЗУ, так как требуются дополнительные логические связи для разрешения конфликтных ситуаций между источниками обращения и регенерации. Числовой характеристикой занятости ОЗУ на регенерацию является относительное время занятости:

$$t_{\text{зан}} = \frac{m_{\text{р}} t_{\text{ц. рег}}}{T_{\text{рег}}} 100\,\%,$$

где $t_{\text{ц. рег}}$ — время цикла регенерации.

Занятость ОЗУ на регенерацию можно снизить за счет выбора соответствующей структуры устройства, например, путем разбиения блока памяти на два подблока, один из которых содержит ячейки памяти с четными адресами, а другой — с нечетными. Регенерация информации в таком устройстве производится в одном из подблоков, например четном, если происходит обращение к подблоку с нечетными адресами, и наоборот. В состав каждого подблока должна входить схема слежения за интервалом времени, прошедшим после предыдущего цикла регенерации. Эта схема инициирует цикл регенерации в данном подблоке, если этот интервал превышает заданную норму. Описанный способ регенерации достаточно эффективен при последовательном обходе подблоков памяти по младшим разрядам кода адреса. Его эффективность, однако, резко падает при длинной серии обращений в один из подблоков памяти.

Восстановление информации в современных ДБИС ЗУ выполняется и при обычных циклах чтения или записи информации. При этом регенерация информации осуществляется в строках ЭП, выбираемых строчной частью адреса обращения. Учитывая эту особенность ДБИС ЗУ,

можно уменьшить время занятости ОЗУ на регенерацию. Запоминая в течение периода регенерации коды адресов обращения к строкам ЭП, например в дополнительном ЗУ, можно восстановить информацию только в тех строках ДБИС ЗУ, к которым не проводилось обращение за время $T_{рег}$. Этот способ, так же как и предыдущий, эффективен только при определенных условиях прохождения программы пользователя.

Общим недостатком большинства существующих способов регенерации информации является необходимость реализации асинхронного интерфейса между ОЗУ на ДБИС ЗУ и процессором, что ограничивает область использования ДБИС ЗУ, в частности, в синхронных ЭВМ или синхронных блоках асинхронных ЭВМ. Однако, если допускается двукратное увеличение цикла ОЗУ, возможно устранение указанного недостатка. При этом первая часть цикла работы устройства отводится под цикл обращения к ОЗУ, а вторая — под цикл регенерации ОЗУ. Время выборки информации в этом случае не возрастает.

Расчет помех в цепях электропитания ДБИС ЗУ. Для успешной реализации динамических ОЗУ напряжения электропитания на ДБИС ЗУ должны соответствовать нормам, предусмотренным ТУ на микросхемы памяти. Импульсный характер тока потребления ДБИС ЗУ приводит к возникновению помех на шинах электропитания. Особенно велики помехи во время регенерации информации, так как в активном состоянии в этом режиме находятся все ДБИС ЗУ, входящие в состав ОЗУ. Если отсутствуют специальные средства по снижению уровня помех, то амплитуда помех во время цикла регенерации достигает больших значений. Это уменьшает область устойчивой работы ОЗУ и может вызвать ошибки при его функционировании [17].

Простым и достаточно эффективным способом уменьшения помех на шинах электропитания ДБИС ЗУ является размещение в непосредственной близости от микросхем памяти высокочастотных керамических конденсаторов. Их число, как правило, соизмеримо с числом ДБИС ЗУ. При выборе конденсаторов необходимо учитывать, что емкость — не единственный параметр конденсатора и эффективность использования конденсаторов существенно зависит от частотных характеристик и амплитуды сглаживаемых токов, частотных параметров конденсаторов и характеристик цепей электропитания. Вопросу

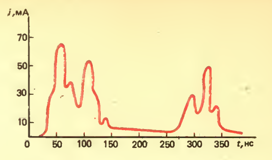


Рис. 3.6. Ток потребления ДБИС ЗУ К565РУ5

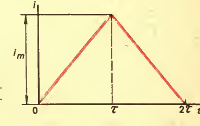


Рис. 3.7. Модель тока потребления по фронту или спаду тактового сигнала ДБИС ЗУ

выбора конденсаторов развязки уделяется большое внимание при разработке ОЗУ на ДБИС ЗУ.

Анализ показывает, что, несмотря на количественные различия в амплитуде и динамических параметрах фронтов и спадов, общим для токов потребления ДБИС ЗУ является наличие высокочастотных импульсных выбросов тока, первый из которых возникает по фронту, а последний — по спаду сигнала $\overline{RAS}$.

Для современных ДБИС ЗУ характерно также небольшое установившееся значение тока — менее 10—15 % от максимальной амплитуды тока при включенном тактовом сигнале $\overline{RAS}$. Типичная форма тока потребления $i(t)$ динамической БИС ЗУ К565РУ5 приведена на рис. 3.6. Амплитуда импульсного тока не превышает 70 мА, фронт и спад составляют около 20—30 нс. Второй и третий выбросы тока обусловлены соответственно включением и выключением сигнала $\overline{CAS}$. Установившееся значение тока потребления равно 3—5 мА.

Импульс тока по фронту или спаду тактового сигнала можно для приближенных расчетов аппроксимировать треугольным импульсом (рис. 3.7). Аналитически такой ток описывается выражением

$$i(t) = \begin{cases} 0 & \text{при } t \leqslant 0; \\ \frac{i_m t}{\tau} & \text{при } 0 \leqslant t \leqslant \tau; \\ \frac{i_m (2\tau - t)}{\tau} & \text{при } \tau \leqslant t \leqslant 2\tau; \\ 0 & \text{при } 2\tau \leqslant t. \end{cases}$$

Ток $i(t)$ можно представить алгебраической суммой трех линейных, неограниченно возрастающих во времени токов, отличающихся наклоном и сдвигом во времени:

$$i(t) = i_1(t) + i_2(t) + i_3(t),$$

где

$$i_1(t) = i_m t/\tau;$$
$$i_2(t) = -2i_1(t - \tau);$$
$$i_3(t) = i_1(t - 2\tau).$$

В этом случае помеха, возникающая на шинах электропитания при потреблении ДБИС ЗУ тока $i(t)$, является суперпозицией помех, возникающих от перечисленных линейных токов.

На рис. 3.8 приведена эквивалентная схема цепи электропитания ДБИС ЗУ при размещении на печатной плате. Представленная схема в первом приближении является фильтром нижних частот (ФНЧ). Решая для j-го звена ФНЧ (рис. 3.9) систему уравнений Кирхгофа в операторном виде при потреблении ДБИС ЗУ линейного тока $i(t) = i_m t/\tau$:

$$I_j(p) + I_2(p) = I(p);$$
$$pL_j I_j(p) = \left(pL_2 + \frac{1}{pC}\right) I_2(p),$$

получим значение тока $i_j(t)$, протекающего в индуктивности L_j:

$$i_j(t) = \frac{i_m}{\tau}\left[t - \frac{L_j}{L_j^* \omega_j} \sin \omega_j t \right],$$

где $L_j = jL_1$; $L_j^* = L_j + L_2$; $\omega_j = (L_j^* C)^{-1}$

Соответственно помеха, возникающая на шине электропитания ДБИС ЗУ,

$$e_{\text{п}j}(t) = \frac{i_m}{\tau}\left[L_3 + L_j^{**} + \frac{2L_j^2}{L_j^*} \sin^2 \frac{\omega_j t}{2} \right],$$

где $L_j^{**} = L_j L_2 / L_j^*$.

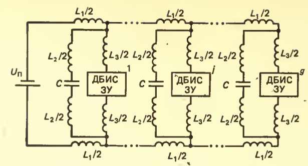


Рис. 3.8. Эквивалентная схема цепи электропитания ДБИС ЗУ:

L_1 — индуктивность печатной платы между соседними ДБИС ЗУ; L_2 и C — соответственно собственная индуктивность и емкость конденсатора развязки; L_3 — индуктивность печатной платы от места подключения конденсатора до ДБИС ЗУ

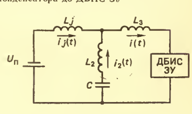


Рис. 3.9. Эквивалентная схема j-го звена ФНЧ

Из приведенного выражения следует, что помеха $e_{\text{п}j}\ (t)$ является суперпозицией постоянной составляющей помехи и колебательного процесса. Постоянная составляющая помехи $e_{\text{п}\,j}\ (0)$ возникает в момент времени $t=0$ при скачкообразном изменении производной тока $i\,(t)$:

$$e_{\text{п}j}(0) = \frac{i_m}{\tau}[\,L_3 + L_j^{**}].$$

Колебательная составляющая помехи, возникающая при $t > 0$, имеет вид

$$e_{\text{п}j} = \frac{2 i_m L_j^2}{\tau L_j^*} \sin^2 \frac{\omega_j t}{2}$$

и представляет собой синусоидальные колебания с периодом $T_j = 2\pi\sqrt{L_j C}$ колебательного контура, состоящего из последовательно соединенных индуктивности L_j и конденсатора C. При

$$\omega_j t/2 \ll \tau/(2\sqrt{L_j C}) \ll 1$$

колебательная составляющая помехи

$$e_{\text{п}j} \approx (i_m/\tau)\,(L_j/L_j^*)^2\,(t^2/2C),$$

т. е. при увеличении емкости конденсатора помеху $e_{\text{п}l}$ при $t>0$ можно получить сколь угодно малой. В этом случае асимптотическое значение помехи при $C\to\infty$ совпадает с собственной постоянной составляющей:

$$\lim e_{\text{п}j}(t) = e_{\text{п}j}(0).$$

При потреблении каждой из g переключаемых микросхем памяти тока $i(t)$ ток $i_l(t)$, протекающий через индуктивность L_1 в l-м звене ФНЧ эквивалентной схемы (рис. 3.8), равен сумме токов $i_j(t)$ всех звеньев ФНЧ от l до g включительно:

$$i_l(t) = \sum_{j=l}^{g} i_j(t),\ l = 0, ..., g.$$

При этом возникающая в s-м звене ФНЧ помеха

$$e_{\text{п}s}(t) = \frac{i_m}{\tau} L_3 + L_1 \sum_{l=1}^{s} \frac{dI_l(t)}{dt}.$$

Анализ этого выражения показывает, что максимальное значение помехи достигается при $s = g$, т. е. на наиболее удаленной от источника электропитания ДБИС ЗУ. Возникающая при этом помеха для случая $\cos(\omega_j t) \ll 1$ имеет вид

$$e_{\text{п}}(t) \approx \frac{i_m}{\tau}\left[L_3 + L_1 L_2 \sum_{j=1}^{g} \frac{j}{L_j^*} + \frac{L_1 t^2}{2C} \sum_{j=1}^{g} j \frac{L_j}{(L_j^*)^2}\right].$$

Из формулы следует, что значение помехи $e_{\text{п}}(t)$ при бесконечно большой собственной индуктивности конденсаторов, что фактически соответствует отсутствию конденсаторов развязки в цепях электропитания, определяется из выражения

$$\lim_{L_2\to\infty} e_{\text{п}}(t) = \frac{i_m}{\tau}\left[L_3 + \frac{L_1 g(g+1)}{2}\right],$$

т. е. помеха в этом случае увеличивается в арифметической прогрессии от числа одновременно переключаемых БИС ЗУ. При бесконечно малом значении собственной индуктивности конденсаторов развязки выражение для помехи приобретает вид

$$\lim_{L_2\to 0} e_{\text{п}}(t) = \frac{i_m}{\tau}\left[L_3 + \frac{t^2}{2C} \sum_{j=1}^{g} j^{-1}\right].$$

Рекомеидуемые иа практике зиачеиия емкостей керамических конденсаторов развязки составляют обычио 0,1—0,3 мкФ иа одну ДБИС ЗУ. Собствеииая индуктивность коиденсаторов при этом должиа быть как можио меньше. Чтобы умеиьшить иидуктивность цепей электропитаиия иа печатных платах, рекомеидуется выполиять их в виде сетки ортогоиальных проводников. Использоваиие многослойных печатиых плат по сравиению с двухслойными также способствует снижению индуктивиости слоев электропитаиия.

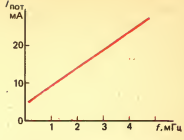


Рис. 3.10. Зависимость тока потреблеиия ДБИС ЗУ от частоты обращеиия

Умеиьшеиию уровия помех в цепях электропитаиия ДБИС ЗУ способствует также сокращеиие числа одновремеино регеиерируемых микросхем памяти. Например, при реализации циклов регеиерации после каждого рабочего цикла обращеиия к ОЗУ число ДБИС ЗУ, регеиерируемых одиовремеиио, может быть умеиьшеио путем увеличеиия числа циклов регенерации за время $T_{рег}$. Возможиы и другие структуриые способы умеиьшеиия помех при регеиерации информации, оии, одиако, ие получили широкого примеиеиия иа практике.

Расчет потребляемой мощности. Мощиость потреблеиия ТЭЗ, блоком памяти или ОЗУ на ДБИС ЗУ состоит из двух компоиеитов: мощиости $P_{обр}$, потребляемой периферийиыми схемами, и мощиости $P_{мп}$, потребляемой микросхемами памяти. Мощиость $P_{обр}$ вычисляется путем суммироваиия мощностей рассеивания каждым электрорадиоэлемеитом, исключая микросхемы памяти. Для расчета мощиости $P_{мп}$ иеобходимо зиать активную мощность $P_а$, потребляемую ДБИС ЗУ при считываиии или записи ииформации, а также мощиость храиеиия $P_{хр.рег}$, потребляемую ДБИС ЗУ в режиме храиеиия иифомации.

В ТУ и справочиых даииых иа ДБИС ЗУ обычио приводится зависимость дииамического тока потреблеиия $I_{пот.дин}$ от частоты обращеиия f. Из представлеииой иа рис. 3.10 зависимости $I_{пот.дин}(f)$ для ДБИС ЗУ емкостью 64 К бит видио, что мощность, потребляемая микросхемами памяти этого типа, лииейио возрастает с

увеличением частоты работы. Поэтому мощность потребления ДБИС ЗУ на частоте f равна

$$P_{пот} \approx P_0 + (P_а - P_0) f/f_{max},$$

где $P_0 = I_{пот.\,дин}(0) U_п$; $P_а = I_{пот.\,дин}(f_{max}) U_п$; f_{max} — максимальная рабочая частота ДБИС ЗУ.

При частоте регенерации $f_{рег} = m_р/T_{рег}$ потребляемая мощность

$$P_{хр.\,рег} \approx P_0 + (P_а - P_0) T_{ц\,min}/T_{рег}, \tag{3.1}$$

где $T_{ц\,min} = f_{max}^{-1}$ — минимальный цикл работы ДБИС ЗУ.

В цикле обращения обычно не все ДБИС ЗУ участвуют в считывании или записи информации, часть из них находится в режиме хранения, поэтому мощность, потребляемая микросхемами памяти в ТЭЗ, блоке памяти или ОЗУ вычисляется по формуле

$$P_{мп} = P_а \Pi_а + P_{хр.\,рег}(\Pi_0 - \Pi_а), \tag{3.2}$$

где Π_0 — общее число ДБИС ЗУ в ОЗУ; $\Pi_а$ — число ДБИС ЗУ, находящихся в ОЗУ в активном режиме.

3.5 Надежность динамических ОЗУ

При разработке ОЗУ на ДБИС ЗУ значительное внимание уделяется вопросам обеспечения и оценки надежности запоминающих устройств этого класса. Для правильного их решения необходимо в первую очередь знать причины возникновения ошибок в ОЗУ на ДБИС ЗУ.

Основные причины ошибок в ОЗУ на ДБИС ЗУ. Надежность ОЗУ на динамических БИС ЗУ в значительной степени определяется надежностью микросхем памяти. Это объясняется тем, что число ДБИС ЗУ составляет большую часть (55—80 %) в общем оборудовании ОЗУ и их надежность может быть ниже надежности остальных комплектующих изделий, входящих в состав ОЗУ.

Нарушение функционирования ДБИС ЗУ имеет постоянный или кратковременный характер. Причиной постоянной неисправности является отказ — необратимый физический дефект ДБИС ЗУ. Отказ приводит к возникновению неисправности в ОЗУ, которая устраняется только при ремонте запоминающего устройства. Кратковременное нарушение функционирования ДБИС ЗУ возникает вследствие сбоев. Сбой ДБИС ЗУ, в отличие от отказа, вызывает временное изменение логического

состояния отдельных бит, правильное состояние которых восстанавливается при записи истинных данных. Причиной сбоев ДБИС ЗУ являются помехи в цепях электропитания, деградация параметров микросхем памяти и альфа-частицы. Специфическая особенность ДБИС ЗУ — их повышенная чувствительность к воздействию альфа-частиц, образующихся при распаде радиоактивных материалов, которые содержатся в составе корпусов интегральных схем. Альфа-частицы, проникающие в кристалл, генерируют электронно-дырочные пары, которые при определенных условиях могут разрушить заряд, хранящийся на запоминающей емкости элемента памяти, и соответственно явиться причиной возникновения случайного сбоя ДБИС ЗУ. При сбое из-за альфа-частиц нарушается, как правило, функционирование отдельного бита ДБИС ЗУ. Чтобы уменьшить влияние альфа-частиц, разрабатываются новые схемотехнические решения и технологические процессы. Однако полностью вопросы уменьшения влияния альфа-частиц на уровне микросхем памяти еще не решены.

Исследования показали, что значение интенсивности отказов ДБИС ЗУ различной информационной емкости составляет на этапе эксплуатации $2 \cdot 10^{-6}$—$2 \cdot 10^{-7}$ ч$^{-1}$. Интенсивность сбоев из-за альфа-частиц может быть в 10—1000 раз выше этого значения. Интенсивность отказов ДБИС ЗУ при поставке изготовителем обычно выше эксплуатационного значения интенсивности отказов микросхем памяти. Для снижения начальной интенсивности отказов ДБИС ЗУ, а также устранения неисправностей, обусловленных скрытыми дефектами других комплектующих изделий, входящих в состав ОЗУ, при изготовлении ОЗУ производится термотренировка ОЗУ. Это требует, однако, разработки специального технологического оборудования и выбора оптимальных режимов приработки устройства.

Для ДБИС ЗУ характерно наличие относительно большой доли отказов отдельных бит [18]. Менее вероятны отказы отдельных строк и столбцов ЭП, полные и смешанные отказы ДБИС ЗУ. Наличие подобной закономерности не принципиально для безызбыточных запоминающих устройств, в которых любой тип отказа ДБИС ЗУ приводит фактически к отказу запоминающего устройства. Однако в избыточных ОЗУ, например с коррекцией ошибок, распределение отказов микросхем памяти по типам неисправностей повышает вероятность

безотказной работы устройства, так как некорректируемая ошибка в накопителе может возникнуть при появлении по одному адресу только минимум двух отказавших бит, или бита и столбца, или столбца и строки и т. д.

■ **Отказы и сбои ДБИС ЗУ, а также других комплектующих изделий, входящих в ОЗУ, приводят к ошибкам в хранимой в устройстве информации.**

Для ОЗУ большой емкости, содержащих до 10^3—10^4 микросхем памяти и более, среднее время возникновения ошибки может иметь недопустимо малое значение. Это вызывает необходимость применения в таких устройствах различных средств повышения надежности.

Повышение надежности ОЗУ на ДБИС ЗУ. Общими методами повышения надежности ОЗУ на динамических БИС ЗУ являются улучшение качества используемых в них материалов, совершенствование технологии производства, создание оптимальных и стабильных условий эксплуатации, защита элементов или всего устройства от воздействия внешней среды (механических, климатических, электромагнитных излучений и т. д.), соблюдение правил обращения с устройством в процессе его эксплуатации.

Основным практическим методом уменьшения числа ошибок, вызванных отказами и сбоями ДБИС ЗУ, а также другого оборудования ОЗУ, является использование корректирующих кодов (КК).

Корректирующий код образуется путем добавления к информационным разрядам группы контрольных разрядов, которые представляют собой свертку по mod 2 по определенному алгоритму групп информационных разрядов. Корректирующая способность кода определяется мощностью h, под которой понимается способность кода корректировать h-кратные ошибки. Важная характеристика кода — избыточность, зависящая от соотношения числа контрольных и информационных разрядов. Избыточность кода значительно возрастает с увеличением h. Поэтому применение в ОЗУ мощных кодов из-за большой избыточности оборудования возможно только в технически обоснованных случаях. Эффективность применения в запоминающих устройствах корректирующих кодов зависит от емкости и структурной организации ОЗУ, периода его технического обслуживания, мощности корректирующего кода, степени поражения ДБИС ЗУ

при отказе или сбое, степени охвата корректирующим кодом оборудования ОЗУ.

В ОЗУ на одноразрядных ДБИС ЗУ, предназначенных для стационарных ЭВМ, наибольшее распространение получил корректирующий код Хэмминга, позволяющий исправлять любую однократную и обнаруживать двукратную ошибку. Практическая реализация кода Хэмминга достаточно проста.

Для исправления в ОЗУ на ДБИС ЗУ ошибок, кратность которых превышает единицу, требуется применение более мощных корректирующих кодов. Эффективными кодами, предназначенными для коррекции h-кратных независимых ошибок, являются коды Боуза — Чоудхури — Хоквингема (БЧХ-коды). Недостатком этих кодов является то, что процедуры кодирования и декодирования осуществляются в них наиболее просто последовательным способом. Поэтому при использовании БЧХ-кодов в ОЗУ на ДБИС ЗУ необходимо преобразование блоков кодирования и декодирования для работы в параллельном режиме. Подобное преобразование значительно увеличивает избыточность оборудования, что делает целесообразным применение БЧХ-кодов в ОЗУ стационарных ЭВМ только в технически обоснованных случаях.

Трудности, связанные с практической реализацией в ОЗУ кодов, исправляющих многократные ошибки, заставляют разработчиков искать более простые технические решения, позволяющие корректировать ошибки кратностью более единицы. Так, для коррекции двукратных ошибок в ОЗУ на ДБИС ЗУ можно использовать *метод двойной инверсии*, позволяющий применять обычный корректирующий код Хэмминга, однако при этом требуется (вместо одного) четыре цикла работы запоминающего устройства, что допустимо для ряда применений.

При выборе средств коррекции ошибок, а также при расчете надежности ОЗУ, использующих эти средства, необходимо учитывать помимо накопителя и другое оборудование запоминающего устройства, а также периодичность технического обслуживания устройства. В ОЗУ с коррекцией ошибок (рис. 3.11) существует оборудование как охваченное, так и не охваченное КК. К первому относится накопитель на БИС ЗУ (блок Н), цепи приема и передачи данных (блок С), ко второму — блок местного управления, система электропитания и др. (блок В),

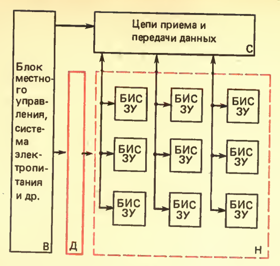


Рис. 3.11. Структурная модель ОЗУ с коррекцией ошибок

а также оборудование, в основном расположенное в ТЭЗ памяти, которое не охвачено кодом, но допускает принципиальную возможность охвата его корректирующим кодом (блок D).

С уменьшением периода технического обслуживания $T_{об}$ средняя наработка до отказа (СНДО) блоков Н и С, охваченных КК, возрастает, вследствие чего при малых $T_{об}$ СНДО запоминающего устройства определяется только надежностью блоков В и D, не охваченных КК. Часть оборудования (блок D) может быть также охвачена КК. Для этого мощность КК должна быть не менее максимальной длины пачки ошибок, возникающих при отказе или сбоях указанного оборудования, например формирователей управляющих (адресных, тактовых) сигналов в ТЭЗ памяти. Применение мощных кодов, например кода Файра, исправляющего пачки ошибок, дает возможность охватить КК блок D при относительно небольшой избыточности оборудования. А введение избыточных элементов в цепи формирования управляющих сигналов позволяет получить одноразрядную организацию ТЭЗ памяти по цепям формирования указанных сигналов и использовать для коррекции возникающих в них ошибок обычный код Хэмминга.

Дальнейшее повышение надежности ОЗУ на ДБИС

ЗУ обеспечивается за счет увеличения безотказности оборудования, не охваченного КК (блок В), путем его резервирования. В этом случае при возникновении в основном блоке неисправности вводится резервный блок. Надежность устройства переключения на резерв, а также устройств контроля правильности функционирования основного и резервного блоков должна быть при этом высокой. Из-за большой избыточности оборудования (дублирования, троирования и т. д.) применение резервирования целесообразно, однако только в технически обоснованных случаях.

Оценка надежности ОЗУ с коррекцией ошибок. В ОЗУ, содержащем S динамических БИС ЗУ с интенсивностью отказов λ_0, в среднем через время $t_1 = (\lambda_0 S)^{-1}$ возникает отказ ДБИС ЗУ. Накопитель (блок Н) с коррекцией однократных ошибок работает при условии, что по любому из адресов устройства к моменту времени t имеется не более одного отказавшего бита. Расчет показывает, что в отсутствие периодического технического обслуживания по замене отказавших ДБИС ЗУ средняя наработка до отказа накопителя с коррекцией однократных ошибок определяется выражением [20]

$$T^*_{\text{Н}} \approx \frac{\beta}{\lambda_0 S}\sqrt{\frac{\pi G}{2}}, \qquad (3.3)$$

где β — коэффициент, учитывающий степень поражения ДБИС ЗУ при отказе; G — число ДБИС ЗУ, образующих один разряд ОЗУ.

Коэффициент $\beta = \beta_{\max} = \sqrt{N}$ — при однобитовых отказах ДБИС ЗУ и $\beta = \beta_{\min} = 1$ — при полных отказах ДБИС ЗУ.

При проведении периодического технического обслуживания по замене отказавших ДБИС ЗУ СНДО накопителя с коррекцией ошибок можно существенно увеличить. СНДО накопителя с коррекцией однократных ошибок при $T_{\text{об}} \ll T_{\text{Н}}$ определяется формулой

$$T^*_{\text{Н}}(T_{\text{об}}) \approx \frac{2\beta^2 G}{(\lambda_0 S)^2 T_{\text{об}}}. \qquad (3.4)$$

Применение корректирующего кода для исправления ошибок в блоках Н и С позволяет увеличить СНДО запоминающего устройства в $\gamma_{\text{КК}}$ раз [19]:

$$\gamma_{\text{КК}} = \frac{T^{-1}_{\text{BD}} + T^{-1}_{\text{НС}}}{T^{-1}_{\text{BD}} + (T^*_{\text{НС}})^{-1}},$$

где $T_{BD}^{-1} = T_B^{-1} + T_D^{-1}$; T_B и T_D — СНДО блоков B и D;
$T_{HC}^{-1} = T_H^{-1} + T_C^{-1}$; T_H и T_C — СНДО блоков H и C с выключенными средствами коррекции ошибок;
$(T_{HC}^*)^{-1} \approx (T_H^*)^{-1} + (T_C^*)^{-1}$; T_H^* и T_C^* — СНДО блоков H и C с включенными средствами коррекции ошибок.

Так как при малых периодах технического обслуживания $T_{HC}^* \gg T_{BD}$, то

$$\gamma_{max\,KK} = 1 + T_{BD}/T_{HC},$$

т. е. максимальное увеличение безотказности ОЗУ с коррекцией ошибок определяется отношением СНДО оборудования, не охваченного КК, к СНДО блоков H и C с отключенными средствами коррекции ошибок. Охват корректирующим кодом блока D увеличивает среднюю наработку до отказа ОЗУ не более чем в $\gamma_{max\,KK}$ раз:

$$\gamma_{max\,KK}^* = 1 + T_B/T_D.$$

Поэтому при охвате корректирующим кодом блоков H, C и D возрастание СНДО запоминающего устройства не будет превышать

$$\gamma_{max\,KK}^{**} = (1 + T_B/T_D)(1 + T_{BD}/T_{HC}).$$

Из приведенных формул следует, что эффективность применения КК в ОЗУ на ДБИС ЗУ ограничена сверху надежностью оборудования, не охваченного КК. Безотказность ОЗУ можно увеличить в несколько раз за счет коррекции ошибок не только в накопителе, но и в оборудовании, которое не охвачено КК, но может быть охвачено им.

3.6 Контроль динамических ОЗУ

На этапах разработки, производства и эксплуатации ОЗУ должен быть обеспечен контроль исправности микросхем, ТЭЗ памяти и ОЗУ. Неисправное состояние перечисленных объектов контроля определяется в общем случае путем проверки статических и динамических параметров, а также проверки функционирования при функциональном контроле.

Статические параметры (входные и выходные токи и напряжения; ток потребления), а также динамические (время выборки; длительности и фронты сигналов) измеряются, как правило, при приемо-сдаточных испытаниях микросхем памяти ТЭЗ и ОЗУ, а также при анализе возникших в них неисправностей.

Особое место при проверке исправного состояния ДБИС ЗУ, ТЭЗ памяти и ОЗУ занимает контроль времени регенерации, являющийся специфичным для устройства этого типа. Период регенерации ДБИС ЗУ определяется, как уже отмечалось, токами утечки запоминающего конденсатора динамического ЭП. При наличии дефектов вызывающих повышенные токи утечки, возможна потеря информации в ЭП из-за разряда запоминающего конденсатора за время, меньшее $T_{рег}$. Поэтому контроль времени регенерации может производиться, например, следующим образом: после записи в ДБИС ЗУ определенной информации подача тактовых сигналов на микросхему памяти прекращается и через время $T_{рег}$ производится считывание и сравнение с эталоном записанной информации.

Контроль $T_{рег}$ осуществляется с помощью статических или динамических АФТ.

Динамические АФТ отличаются от статических тем, что в течение паузы $T_{рег}$ происходят обращения к неконтролируемым ЭП. Ниже дано описание двух статических и трех динамических АФТ для контроля времени регенерации.

1. АФТ «статический». В ДБИС ЗУ записывается произвольная информация, выдерживается пауза $T_{рег}$, в течение которой на ДБИС ЗУ не подаются тактовые сигналы. Затем информация последовательно считывается по столбцам и сравнивается с ранее записанной. Длительность $T_{АФТ} = 2(2Nt_ц + T_{рег})$.

2. Статический АФТ «шахматный код с регенерацией». В ДБИС ЗУ записывается «шахматный код», выдерживается пауза $T_{рег}$ и затем из отдельного столбца считывается информация (при этом регенерация автоматически происходит во всех строках ДБИС ЗУ). Процедура последовательно повторяется для всех строк ДБИС ЗУ. Длительность $T_{АФТ} = 2(N^{1/2}T_{рег} + 2Nt_ц)$.

3. АФТ «возбуждение матрицы чтением строк». Во время паузы $T_{рег}$ происходит считывание информации из нечетных строк ДБИС ЗУ. Затем проверяется правильность информации, записанной в контролируемые чет-

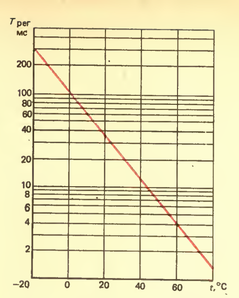


Рис. 3.12. Зависимость периода регенерации от температуры окружающей среды

ные строки. Аналогично проверяются нечетные строки ДБИС ЗУ. Длительность $T_{АФТ} = (2T_{рег} + 3Nt_{ц})$.

4. АФТ «возбуждение матрицы многократным считыванием из столбца». В ДБИС ЗУ записывается определенный фон, а в выбранный столбец — «шахматный код». Во время паузы $T_{рег}$ происходит последовательное считывание по выбранному столбцу. При этом проверяется ток утечки между соседними ЭП в контролируемом столбце (токи утечки в одной строке между соседними ЭП маловероятны). Затем информация считывается из выбранного столбца. Процедура повторяется для каждого столбца. Длительность $T_{АФТ} = 2(N^{1/2}T_{рег} + 4Nt_{ц})$.

5. АФТ «возбуждение матрицы обращениями по квадрату». В контролируемый ЭП записывается 1 (0). В течение паузы $T_{рег}$ происходят следующие многократные обращения к восьми ЭП, являющимся соседними для контролируемого ЭП: запись 0 (1), считывание, запись 1 (0), считывание. Затем информация считывается из контролируемого ЭП. Процедура повторяется для всех ЭП динамического БИС ЗУ. Длительность $T_{АФТ} = 2(NT_{рег} + 2Nt_{ц})$.

Все представленные АФТ регенерации, кроме АФТ

«статический», проверяют также и отсутствие записи в ДБИС ЗУ, а два последних АФТ контролируют, кроме того, и ложное считывание информации [9].

При контроле времени регенерации необходимо учитывать значительное уменьшение $T_{\text{рег}}$ при повышении температуры (рис. 3.12), а также отмеченную выше зависимость потребляемой мощности от частоты обращения к ДБИС ЗУ. Для повышения эффективности контроля $T_{\text{рег}}$ целесообразно тестирование ДБИС ЗУ осуществлять на максимальной рабочей температуре, а между циклами регенерации также на максимальной частоте производить обращение к ДБИС ЗУ, исключая при этом контролируемые ЭП. Это приводит к разогреву кристалла ДБИС ЗУ и возрастанию на нем импульсных помех. Эффективность проверки $T_{\text{рег}}$ увеличивается, кроме того, проведением функционального контроля при максимальном и минимальном рабочих значениях напряжения электропитания ДБИС ЗУ.

Время регенерации ДБИС ЗУ при повышенной температуре проверяется в термокамерах, пропускная способность которых в условиях серийного производства микросхем памяти должна быть достаточно высока. Аналогичными установками оснащают для входного контроля ДБИС ЗУ предприятия-разработчики ОЗУ, использующие микросхемы памяти динамического типа, а также заводы-изготовители ОЗУ.

С течением времени $T_{\text{рег}}$ может ухудшаться из-за деградации характеристик ДБИС ЗУ, поэтому контроль $T_{\text{рег}}$ целесообразно проводить и у пользователя ОЗУ. При эксплуатации ДБИС ЗУ в составе ОЗУ время регенерации при максимальной рабочей температуре обычно не проверяется, так как аппаратурные затраты на ее проведение у потребителя устройства достаточно велики. Контроль времени регенерации у пользователя ОЗУ осуществляется, как правило, при температуре эксплуатации устройства, которая примерно вдвое меньше максимальной рабочей температуры ДБИС ЗУ. При этом норма времени регенерации может в 10—20 раз (рис. 3.12) превышать значение $T_{\text{рег}}$ при максимальной рабочей температуре ДБИС ЗУ. Увеличение $T_{\text{рег}}$ при проверке времени регенерации таким способом необходимо учитывать на этапе разработки запоминающего устройства.

3.7 Практический расчет динамического ОЗУ

В качестве прнмера рассмотрнм некоторые вопросы построення ОЗУ на ДБИС ЗУ емкостью 64 К бит К565РУ5Б прн следующих техническнх требованнях (ТТ) к устройству:

Информацнонная емкость	— 32768 К байт
Органнзация	— 4096 К слов×64 разряда
Время цнкла	— 0,4 мкс
Время выборкн	— 0,3 мкс
Потребляемая мощность	— 0,5 кВт
Наработка до отказа	— 1000 ч

На рнс. 3.13 прнведена электрнческая схема НТЭЗ емкостью 128 К байт, который состонт нз 16 ДБИС ЗУ (RAM), органнзованных в внде 256 К слов×4 разряда. В качестве схем согласовання адреса, тактовых сигналов, входных данных н сигнала запнсн использованы ТТЛ-схемы 155ЛН1 (Т104). Объедненне НТЭЗ по выходу для наращнвання адресностн осуществляется с помощью ТТЛ-схем 155ЛП8 (М125), нмеющей трн устойчнвых состояння. Подключенне ИС 155ЛП8 к выходной шине обеспечнвается шнной управлення ШУ.

Мощность, потребляемая ДБИС ЗУ К565РУ5Б в режнме хранення ннформацнн, оценнвается прн следующих нсходных данных: $P_0 = 0{,}022$ Вт; $P_a = 0{,}25$ Вт; $m_р = 128$; $T_{ц\,min} = 0{,}23$ мкс; $T_{рег} = 2000$ мкс — по формуле (3.1):

$$P_{хр\ рег} \approx 0{,}022 + (0{,}25 - 0{,}022)(128 \cdot 0{,}23/2000) = 0{,}025 \text{ Вт.}$$

Мощность, потребляемая ДБИС ЗУ в НТЭЗ в режнме счнтывання нлн запнсн ннформацнн оценнвается прн $П_0 = 16$ н $П_a = 4$ по формуле (3.2):

$$P_{мп} = 0{,}25 \cdot 4 + 0{,}025(16 - 4) = 1{,}3 \text{ Вт.}$$

Мощность, потребляемая ДБИС ЗУ в НТЭЗ в режиме хранення ннформацнн, определяется как

$$P_{мп.\ рег} = P_{хр.\ рег} \cdot П_0 = 0{,}025 \cdot 16 = 0{,}4 \text{ Вт.}$$

Чнсло корпусов ИС схем согласовання на НТЭЗ равно 5. Поэтому мощность, потребляемая НТЭЗ в режнме счнтывання нлн записн ннформацнн, равна (предполагается, что мощность, потребляемая каждой ИС, составляет 0,22 мВт)

$$P_{НТЭЗ} \approx 0{,}22 \cdot 5 + 1{,}3 = 2{,}4 \text{ Вт.}$$

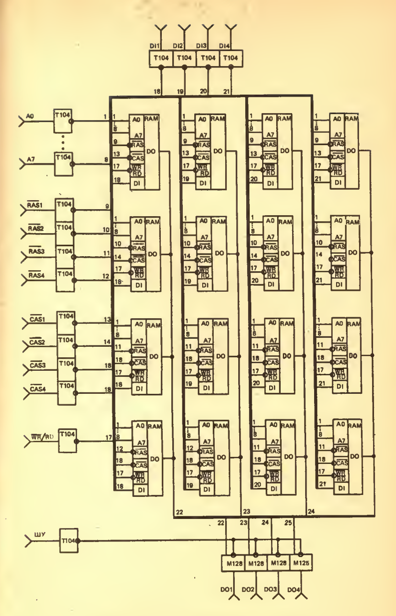
Мощность, потребляемая НТЭЗ в режнме хранення ннформацнн.

$$P_{НТЭЗ\ рег} = 0{,}22 \cdot 5 + 0{,}4 = 1{,}5 \text{ Вт.}$$

Общее чнсло НТЭЗ емкостью 32 768 К байт составляет 256 шт. Из них 16 шт. могут находнться в режнме счнтывання нлн запнсн информацни, остальные 240 шт. — в режиме хранения. Поэтому мощность, потребляемая накопнтелем ОЗУ, состоящнм из 256 НТЭЗ,

$$P_{НТЭЗ;\ ОЗУ} = 2{,}4 \cdot 16 + 1{,}5 \cdot 240 = 400 \text{ Вт.}$$

Прн расчете временнóй днаграммы необходнмо учнтывать задержкн распространення сигналов через схемы согласовання н нх относнтель-



Р и с. 3.13. Электрическая схема НТЭЗ емкостью 128 К байт

ный рвзброс. Следует также учесть, что время выборки ДБИС ЗУ относительно сигнала $\overline{RAS}$ т. е. $t_{A\,(RAS)}$, звиисит от времени устаиовления сигнвла $\overline{RAS}$ относительно сигналв $\overline{CAS}$. При этом если $t_{SU\,(RAS-CAS)} < t_{SU\,(RAS-CAS)\,min}$, то ДБИС ЗУ неработоспособиа. Если $t_{SU\,(RAS-CAS)\,min} \leqslant t_{SU\,(RAS-CAS)} \leqslant t_{SU\,(RAS-CAS)\,max}$, то время выборки $t_{A\,(RAS)} \leqslant t_{A\,(RAS)\,max}$, а $t_{A\,(CAS)}$ увеличивается иа величину $t_{SU\,(RAS-CAS)\,max} - t_{SU\,(RAS-CAS)}$. Если $t_{SU\,(RAS-CAS)} > t_{SU\,(RAS-CAS)\,max}$, то $t_{A\,(RAS)} \leqslant t_{A\,(RAS)\,max} + (t_{SU\,(RAS-CAS)} - t_{SU\,(RAS-CAS)\,max})$. Мииимальные зиачения параметров временной диаграммы ДБИС ЗУ обеспечиваются при длительности фронтов $t_R \leqslant 5$ нс и спадов $t_F \leqslant 5$ нс управляющих сигналов. При 5 нс $< t_R \leqslant 35$ нс и 5 нс $< t_F \leqslant 35$ нс зиачеиия $t_{SU\,(RAS-CAS)}$, $t_{W\,(RAS)}$, $t_{W\,(CAS)}$ определяются из соотношеиий:

$$t_{SU\,(RAS-CAS)} \geqslant t_{H\,(RAS-A)} + t_{SU\,(A-CAS)} + t_{R\,(CAS)} + t_{R\,(A)} + t_{F\,(A)};$$

$$t_{W\,(RAS)} \geqslant t_{SU\,(RAS-CAS)} + t_{SU\,(CAS-WR)} + t_{H\,(WR-RAS)} + t_{R\,(WE)};$$

$$t_{W\,(CAS)} \geqslant t_{SU\,(CAS-WR)} + t_{H\,(WR-CAS)} t_{R\,(WE)},$$

где $t_{R\,(CAS)}$; $t_{R\,(A)}$; $t_{F\,(A)}$; $t_{R\,(WE)}$; $t_{R\,(RAS)}$; $t_{F\,(RAS)}$ — фронты и спады соответствующих упрввляющих сигнвлов.

Большое виимание при проектироввнии ОЗУ иа ДБИС ЗУ уделяется вопросам обеспечеиия надежности устройства.

Общее число ДБИС ЗУ в ОЗУ $S = 4096$, число ДБИС ЗУ, образующих один разряд нвкопителя, $G = 64$. Полагая интеисивность отказов ДБИС ЗУ $\lambda_0 \approx 10^{-6}$ ч$^{-1}$, получим среднее время возникиовеиия отказавшей ДБИС ЗУ в накопителе без средств коррекции ошибок:

$$T_{0\,H} = (\lambda_0 S)^{-1} = (10^{-6} \cdot 4096)^{-1} \approx 244 \text{ ч},$$

что меиьше СНДО, задаииой ТТ нв ОЗУ.

Для повышеиия иадежиости накопителя иа одиоразрядиых ДБИС ЗУ К565РУ5 используется код Хэмминга, исправляющий одиократные ошибки. Избыточное число контрольных разрядов n_X кода Хэммиига связаио с числом n_C информациоиных разрядов кодового слова соотношеиием [18]

$$n_C + n_X \leqslant 2^{n_X} - 1.$$

Добавление еще одного контрольного разряда, являющегося сверткой по mod 2 всех разрядов кодового слова, позволяет ие только исправлять однокрвтиые, но и обиаруживать двухкратиые ошибки. При $n_C = 64$ число контрольиых разрядов кодв Хэммиига $n_X = 8$.

Общее число ДБИС ЗУ в ОЗУ с учетом контрольиых разрядов кода Хэммиигв $S = 4608$ шт. Соответствеино среднее время возиикновеиия отказавшей ДБИС ЗУ в накопителе, охваченном кодом Хэммиига,

$$T_{0\,H} = (\lambda_0 S)^{-1} = (10^{-6} \cdot 4608)^{-1} = 217 \text{ ч}.$$

СНДО накопителя с коррекцией одиократых ошибок в отсутствие периодического техиического обслуживаиия по замеие отказавших ДБИС ЗУ оценивается формулой (3.3)

$$T_H^* = \frac{1}{10^{-6} \cdot 4608} \sqrt{\frac{\pi \cdot 64}{2}} \approx 2176 \text{ ч}.$$

Приведеный рвсчет выполиеи для иаихудшего случая в предположении, что при отказе ДБИС ЗУ выходят из строя все $N = 2^{16}$ бит, т. е. при $\beta = 1$.

Общее число ИС схем согласования, рвсположеииых в НТЭЗ, составляет $S_{ИС} \approx 1440$ шт. Полагвя, что интенсивность отказов $\lambda_{ИС} = 0{,}5 \cdot 10^{-6}$ ч$^{-1}$, средиее время возиикиовеиия отказавшей ИС схемы

согласования

$$T_В = (\lambda_{ИС} S_{ИС})^{-1} = (0{,}5 \cdot 10^{-6} \cdot 1440)^{-1} \approx 1389 \text{ ч.}$$

При этом в первом приближении СНДО ОЗУ с коррекцией однократных ошибок

$$T_{ОЗУ} \approx [(T_Н^*)^{-1} + T_В^{-1}]^{-1} = [2176^{-1} + 1389^{-1}]^{-1} \approx 846 \text{ ч.}$$

При более точной оценке, учитывающей надежность остального оборудования, входящего в состав ОЗУ на ДБИС ЗУ (например, блока местного управления, системы электропитания и т. д.) эта цифра еще меньше.

Дополнительно надежность накопителя можно увеличить за счет проведения периодического технического обслуживания по замене отказавших ДБИС ЗУ. Оценка по формуле (3.4) показывает, что, например, при $T_{об} = 336$ ч СНДО

$$T_Н^* = 2 \cdot 64 \cdot 217^2/336 \approx 17\,938 \text{ ч.}$$

С учетом схем согласования СНДО ОЗУ при $T_{об} = 3364$ уменьшается до величины

$$T_{ОЗУ}^* \approx [T_Н^{*-1} + T_В^{-1})^{-1} = (17938^{-1} + 1389^{-1}]^{-1} \approx 1286 \text{ ч.}$$

3.8 Перспективы развития динамических ОЗУ

Емкость первых серийных ДБИС ЗУ с произвольной выборкой, созданных в начале 70-х годов, составляла 1 К бит. Несмотря на такие достоинства, как низкая потребляемая мощность, конструктивная и функциональная завершенность, достаточно высокое быстродействие, простота при построении и изготовлении устройств памяти, они были малопригодными для ОЗУ большой емкости из-за относительно высокой стоимости и сравнительно малой емкости. Промышленное освоение в середине 70-х годов ДБИС ЗУ емкостью 4 К бит, а в конце 70-х годов — 16 К бит позволило разработать ОЗУ, превосходящие по основным техническим характеристикам ОЗУ на ферритовых сердечниках (табл. 3.5).

Таблица 3.5

Характеристика ОЗУ	Значение характеристики, ОЗУ на		
	ферритовых сердечниках	ДБИС ЗУ К565РУ1 (4 К бит)	ДБИС ЗУ К565РУ3 (16 К бит)
Емкость в стойке, М байт	1	4	16
Время выборки, мкс	0,65	0,60	0,60
Время цикла, мкс	1,25	0,80	0,80
Потребляется мощность, кВт	7	6	4
Удельная потребляемая мощность, мкВт/бит	750	160	53

ОЗУ меньшей емкости, например 8 М байт на ДБИС ЗУ емкостью 16 К бит, занимает объем в несколько панелей ЕС ЭВМ. Это позволяет размещать такие запоминающие устройства непосредственно в стойке центрального процессора, что увеличивает скорость обмена информацией между процессором и основной оперативной памятью [16].

Использование ДБИС ЗУ большей степени интеграции, например К565РУ5, дает возможность увеличить емкость устройства памяти до 200 М байт в стойке и снизить удельную потребляемую мощность до нескольких мкВт/бит. Применение ДБИС ЗУ емкостью 256 К бит позволит разработать ОЗУ емкостью до 500—800 М байт в стойке, а использование микросхем памяти емкостью 1 М бит позволит разместить в одной стойке до 2 Г байт информации. Однако применение запоминающих устройств такой сверхбольшой емкости в качестве основной оперативной памяти возможно лишь при соответствующем математическом обеспечении ЭВМ. Важнейшие вопросы при создании ЗУ такой емкости — обеспечение необходимого уровня их надежности и темпа обмена с центральным процессором ЭВМ.

Предполагается, что основным средством повышения надежности ОЗУ на одноразрядных БИС ЗУ станет применение корректирующих кодов, исправляющих 1—2 ошибки. В технически обоснованных случаях дополнительным способом увеличения надежности ОЗУ может быть резервирование оборудования.

Применение более мощных корректирующих средств будет целесообразным при использовании в ОЗУ многоразрядных ДБИС ЗУ.

Темп обмена с процессором большинства современных ОЗУ на ДБИС ЗУ не превышает несколько десятков М байт/с. В дальнейшем эта цифра должна увеличиться минимум на порядок, например, для перспективных ЭВМ сверхбольшого быстродействия. Учитывая, что емкость ОЗУ для ЭВМ такого класса, как правило, весьма велика, можно предполагать, что их реализация возможна только на БИС ЗУ динамического типа.

Помимо применения ОЗУ на ДБИС ЗУ в качестве основной оперативной памяти ЭВМ предполагается еще одно перспективное направление использования ДБИС ЗУ — в дополнительной буферной памяти большой и сверхбольшой информационной емкости (до 128—256 М байт и более), расположенной между сравнительно медленными дисковыми ЗУ и достаточно быстрым

центральным процессором. Введение в ЭВМ такой памяти позволяет хранить наиболее часто используемую информацию дисковых ЗУ и, кроме того, обеспечивает по сравнению с дисковыми ЗУ существенно меньшее время выборки данных и более высокую скорость их передачи.

ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

3.1. Что такое режим считываиия — модификации — записи?
3.2. В каком режиме ДБИС ЗУ потребляет минимальиую мощиость?
3.3. Что такое режим «скрытой» регеиерации?
3.4. Для чего предиазиачеиы схемы согласоваиия в НТЭЗ?
3.5. Почему возиикают коифликтиые ситуации между сигиалами ОБР и РГН?
3.6. Каким образом можио умеиьшить потери времеии иа регеиерацию?
3.7. От чего зависит уровеиь высокочастотиых помех в цепях электропитаиия ДБИС ЗУ?
3.8. Для чего примеияются корректирующие коды в ОЗУ иа ДБИС ЗУ?
3.9. Каковы перспективы развития диимамических ОЗУ?

Глава

4 Постоянные запоминающие устройства

4.1 Область применения

● **Постоянные запоминающие устройства (ПЗУ) предназначены для хранения постоянной или редко изменяемой информации, которую можно считать из памяти так же просто, как и из ОЗУ, но нельзя так же просто записать в память.**

ПЗУ и их разновидности, например программируемые логические матрицы (ПЛМ), широко используются для построения управляющих программных или микропрограммных памятей и различных логических комбинационных схем ЭВМ и систем автоматики, например преобразователей кодов, дешифраторов, генераторов последовательностей сигналов, мультиплексоров, сдвиговых и счетных регистров и т. д.

На первых этапах развития вычислительной техники, когда ОЗУ были дороги, ПЗУ использовались в ЭВМ для хранения универсальных математических констант. Хотя ПЗУ и применялись в устройствах автоматики, особой необходимости в их широком использовании не было, так как вместо ПЗУ всегда можно было использовать ОЗУ, записав в него соответствующую программу. Такой подход был оправдан для своего времени, так как использование ПЗУ не давало никаких преимуществ ни в стоимости, ни в производительности.

В настоящее время в результате развития полупроводниковой технологии ПЗУ стали компактнее, их электронные схемы проще, чем в ОЗУ. Так, плотность компоновки электронных схем в кристалле ПЗУ в 8—10 раз выше, чем для статических ОЗУ. Поэтому ПЗУ оказываются дешевле ОЗУ и их чаще используют для

хранения неизменяемых частей программного обеспечения или постоянных данных.

Преимущества ПЗУ особенно ярко проявляются при использовании в устройствах управления ЭВМ, наиболее сложных и трудоемких в разработке частей ЭВМ, независимо от того, где они применяются — в микропроцессорах, мини-ЭВМ или универсальных ЭВМ.

Устройства управления, построенные на основе нерегулярных логических схем на вентилях, называются аппаратными. Их применение обеспечивает максимальное быстродействие, но разработка и коррекция аппаратных устройств управления сложны и трудоемки. Построенные на основе ПЗУ устройства управления называются микропрограммными. Они отличаются высокой гибкостью, низкой стоимостью и позволяют легко изменять набор команд ЭВМ путем замены ПЗУ, хотя их быстродействие ниже аппаратных.

Коррекция информации устройств управления ЭВМ производится не только в период проектирования, но и в процессе эксплуатации. Поэтому возможность простого изменения хранимой информации делает ПЗУ и подобные им устройства незаменимыми в решении проблемы сокращения сроков и стоимости проектирования и эксплуатации, особенно в микропроцессорных системах.

▲ **Основные параметры ПЗУ — быстродействие, информационная емкость и потребляемая мощность — являются, как правило, противоречащими: с увеличением информационной емкости ПЗУ снижается его быстродействие и растет потребляемая мощность.**

Кроме того, ПЗУ характеризуется такими параметрами, как стоимость, надежность работы, сохранение работоспособности в широком диапазоне температур, в условиях повышенных механических воздействий и т. п.

В одном устройстве, выполненном на определенном типе элементов, сочетать оптимальным образом все многообразие требований, предъявляемых к ПЗУ, практически невозможно, и поэтому разработчики ПЗУ идут на традиционный компромисс — строят память по многоуровневой иерархической структуре, которая содержит ПЗУ на основе элементов БИС с различными архитектурными физическими и технологическими принципами. Эти принципы определяют классификационную схему БИС ПЗУ, меняющуюся в зависимости от появления новых физических принципов создания запоминающих

элемеитов, степеии отработаииости техиологических процессов их изготовлеиия, архитектурных принципов и ряда других факторов.

4.2 Классификация БИС ПЗУ

Классификация совремеиных БИС ПЗУ представлеиа иа рис. 4.1.

П о а р х и т е к т у р н ы м п р и и ц и п а м и ф у и к ц и о н а л ь и о м у н а з и а ч е н и ю ПЗУ делятся иа две осиовные группы: собствеиио постояниые запомииающие устройства и программируемые логические матрицы.

Все полупроводииковые ЗУ, в том числе и ПЗУ, представляют собой особую разновидиость логических схем, общим призиаком построеиия которых является регуляриая матричная структура, состоящая из матриц И и ИЛИ. В ПЗУ иинформация заносится (программируется) в матрицу ИЛИ, а матрица И представляет собой «жесткий» дешифратор всех 2^n выходиых от n входиых комбииаций. В ПЛМ информация заиосится либо в матрицу И, как, иапример, ППМЛ либо в обе матрицы, например ППЛМ. Следует заметить, что ПЗУ и ПЛМ, у которых программируется только одиа матрица, отиосятся к одиоуровиевой матричиой логике. Существующие ПЛМ с программируемыми матрицами И и ИЛИ отиосятся к двухуровневой матричиой логике. В иедалеком будущем появятся миогоуровиевые ПЛМ, во миого раз повышающие эффективиость примеиеиия матричиой логики.

Одинаковые изваиия класса и подкласса ПЗУ сложились исторически. Первыми из постояииых матричиых логических схем появились схемы с программируемой матрицей ИЛИ, т. е. ПЗУ. Оии, долгое время оставаясь единственииыми, определяли названиие класса. Появившиеся впоследствии ПЛМ вошли в класс ПЗУ, как особый вид ПЗУ, хотя используются оии вииом качестве.

П о с п о с о б у з а н е с е н и я и и ф о р м а ц и и полупроводииковые ПЗУ делятся иа однократно и миогократно программируемые. К *однократно программируемым* относятся ПЗУ с масочным программироваиием (МПЗУ, МПЛМ), программируемые (потребителем) постоянные ЗУ (ППЗУ), программируемые потребителем логические матрицы (ППЛМ) и программируемая потребителем матричиая логика (ППМЛ). *Многократно*

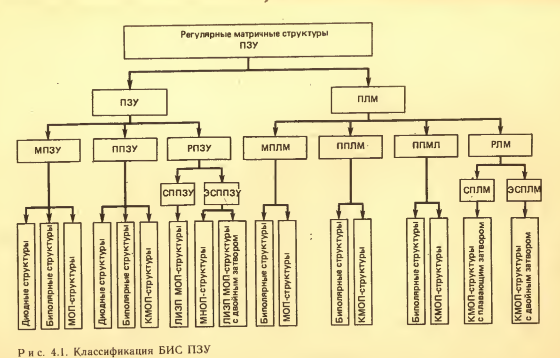


Рис. 4.1. Классификация БИС ПЗУ

программируемые, или репрограммируемые, ПЗУ (РПЗУ и РЛМ) делятся на стираемые ультрафиолетовым облучением (СППЗУ, СПЛМ) и электрически стираемые (ЭСППЗУ, ЭСПЛМ).

В МПЗУ и МПЛМ информация заносится изготовителем однократно с помощью маски на одном из этапов технологического процесса изготовления кристалла. После изготовления информацию изменить нельзя.

В ППЗУ, ППЛМ, ППМЛ программируемые матрицы при изготовлении заполняются однородной информацией, которая изменяется после изготовления изготовителем или потребителем лишь однократно.

В РПЗУ и РЛМ информация может записываться и стираться многократно. В СППЗУ, СПЛМ информация стирается коротковолновым ультрафиолетовым облучением одновременно во всех запоминающих элементах, а записывается электрическими сигналами в каждое слово отдельно. В ЭСППЗУ, ЭСПЛМ информация стирается и записывается электрическими сигналами, причем различают ЭСППЗУ, у которых информация стирается одновременно во всех запоминающих элементах, и ЭСППЗУ, у которых информация может стираться в каждом слове отдельно.

П о с п о с о б у с ч и т ы в а н и я БИС ПЗУ делятся на синхронные (тактируемые) и асинхронные.

П о т е х н о л о г и ч е с к о м у и с п о л н е н и ю БИС ПЗУ делятся на две основные группы: биполярные схемы, использующие схемотехнику ЭСЛ или ТТЛ-типа и МОП-схемы, использующие p-МОП, n-МОП и КМОП-структуры.

П о у р о в н я м в х о д н ы х и в ы х о д н ы х с и г н а л о в БИС ПЗУ совместимы с полупроводниковыми схемами, изготовленными по схемотехнике ЭСЛ, ТТЛ или КМОП-типа, причем возможны построения кристаллов как полностью по одной схемотехнике, так и комбинации ЭСЛ с ТТЛ или КМОП с ТТЛ.

Для построения РПЗУ используются разновидности МОП-технологии:

— для СППЗУ и СПЛМ — с лавинной инжекцией заряда и плавающим затвором (ЛИЗП МОП);

— для ЭСППЗУ и ЭСПЛМ-технологии ЛИЗП МОП с двойным затвором и технология металл — нитрид кремния — окисел кремния — полупроводник (МНОП). Широко применяются комбинации этих технологий с КМОП-технологией.

Независимо от функционального назначения, способов записи и технологии изготовления все ПЗУ являются устройствами с произвольной выборкой информации, отличающейся наибольшей простотой организации и управления.

Основу ПЗУ составляет двухкоординатная матрица запоминающих элементов (ЗпМ) с дешифратором адреса (Дш), адресными формирователями (АФ), мультиплексорами (Мл), усилителями считывания (УСч) и устройством управления (УУ) выбора кристалла и записью-считыванием в РПЗУ (рис. 4.2).

Когда на адресные входы 1, 2, ..., n поступает код адреса А, адресные формирователи усиливают и формируют парафазные сигналы кода адреса, по которым адресный дешифратор возбуждает одну из горизонтальных (адресных) шин запоминающей матрицы. Затем информация, записанная в запоминающих элементах, которые связаны с выбранной адресной шиной, считывается по всем вертикальным (разрядным) шинам через блок мультиплексоров и усилителей считывания на выход.

Устройство управления служит для управления выходными вентилями усилителей считывания, обеспечи-

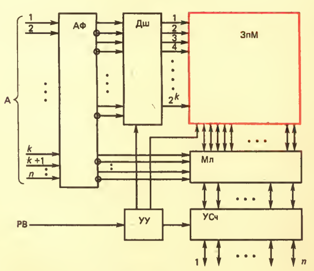


Рис. 4.2. Структурная схема БИС ПЗУ

вая возможность наращивания объема памяти путем объединения выходов (монтажное ИЛИ) нескольких БИС ПЗУ или обеспечивая работу их на общую шину. Устройство управления в БИС РПЗУ управляет, кроме того, и режимами записи, чтения и стирания в ЭСППЗУ.

В местах пересечения горизонтальных и вертикальных шин запоминающей матрицы включаются запоминающие элементы, в качестве которых используются самые разнообразные активные компоненты: биполярные транзисторы, биполярные транзисторы с диодами Шотки, диоды, МОП-транзисторы *n*- и *p*-типов, транзисторы с МНОП-структурой и т. д.

4.3 Масочные ПЗУ

Запоминающая ячейка масочного ПЗУ, как правило, состоит из одного элемента, а запись информации осуществляется методом включения элемента в гребуемое перекрестие матрицы с помощью сменной маски при изготовлении кристалла ПЗУ. Из всех методов записи информации в ПЗУ этот метод обладает самой большой надежностью, самой высокой плотностью компоновки, наибольшей простотой изготовления, а следовательно, самой низкой стоимостью при массовом производстве. Подсчитано, что стоимость ПЗУ в расчете на 1бит в 4—8 раз меньше, чем та же величина для ОЗУ. Таким образом, если машинная программа полностью отлажена и не требует изменений в процессе эксплуатации, то при достаточной серийности устройства следует использовать масочное ПЗУ.

Рассмотрим некоторые виды масочных ПЗУ. На рис. 4.3, *а* изображено ПЗУ на биполярных транзисторах. Оно состоит из тех же блоков, что и ПЗУ, изображенное на рис. 4.2. Адресные входы 1, 2, ..., *n* разделены на две группы. Первая группа (1, 2, ..., *k*) адресных входов, состоящая из *k* разрядов, через АФ и Дш выбирает один из 2^k многоэмиттетных транзисторов ЗпМ таким образом, что на базе этого транзистора возникает положительное напряжение, в то время как напряжение на базах всех остальных транзисторов ЗпМ равно нулю. В свою очередь, каждый транзистор имеет 2^k эмиттеров, так как обычно ЗпМ имеет равное число горизонтальных и вертикальных шин. Следовательно, число разрядных шин также равно 2^k. Информация логического нуля или логической единицы в любой разрядной шине зависит от того, есть ли связь данного эмиттера с разрядной

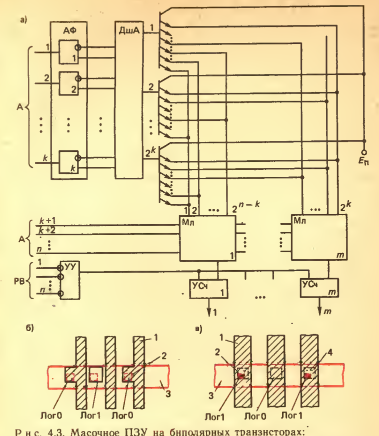


Рис. 4.3. Масочное ПЗУ на биполярных транзисторах:

а — схема ПЗУ; *б* — запись информации в ПЗУ при помощи заказного шаблона металлизации; *в* — запись информации в ПЗУ при помощи шаблона контактных окон

1 — разрядные шины; *2* — эмиттер; *3* — база; *4* — вскрытый эмиттерный контакт

шиной или нет. Коллекторный ток выбранного транзистора проходит через эмиттеры только в те разрядные шины, которые связаны с эмиттерами транзисторов, создавая, таким образом, положительное напряжение на этих разрядных шинах, в то время как на разрядных шинах, не связанных с эмиттерами транзисторов, напряжение равно нулю.

Разрядные шины, разделенные по числу выходов на m групп, по одной из каждой группы выбираются мультиплексорами в соответствии с кодом второй груп-

пы адресных входов $k+1, ..., n$ и подключаются к усилителям считывания. Так как во второй группе имеется $n-k$ адресных входов, то к каждому мультиплексору подключается 2^{n-k} разрядных шин.

В зависимости от числа входов разрешения выбора кристалла (РВ) устройство управления представляет собой либо буферный каскад при одном входе РВ, либо дешифратор старших разрядов ($k+1$, $k+2$, ..., n) адресного слова А устройства ПЗУ.

Иногда на выход БИС ПЗУ включают выходной регистр, тактируемый внешним сигналом. Он позволяет устранить зону неопределенности в выходном сигнале БИС, обусловленную временем выборки информации от подачи адресного сигнала до появления на выходе выбранной информации.

Способы занесения информации в биполярное ПЗУ иллюстрируются рис. 4.3, *б*, *в*.

Запись информации производится на одном из последних этапов изготовления схемы с помощью сменного шаблона металлизации двумя способами:

— путем формирования прямоугольных металлических отводов от разрядных шин (рис. 4.3, *б*);

— селективным вскрытием контактных окон (рис. 4.3, *в*), осуществляющих контакт с эмиттером многоэмиттерного транзистора (МЭТ) ЗпМ. Обычно в комплекте фотошаблонов, необходимых для изготовления ПЗУ, один является сменным (заказным); в нем содержится предназначенная для занесения в ПЗУ информация.

Аналогично строятся МПЗУ на диодах и МОП-транзисторах. На рис. 4.4 приведена запоминающая матрица ПЗУ на диодах, в котором используются схемы на биполярных транзисторах (ТТЛ или ЭСЛ). При выборе одной из адресных шин АШ положительное напряжение с нее поступает только на те разрядные шины РШ, которые связаны с выбранной адресной шиной диодами (соединение некоторых диодов с шинами отсутствуют).

В МПЗУ на МОП-транзисторах запоминающая матрица и обрамление изготовляются по одной технологии. Если в ЗпМ ПЗУ, изготовленного по МОП-технологии (рис. 4.5, *а*), выбрана некоторая адресная шина, то высокое напряжение сохраняется только на тех разрядных шинах, которые не подключены через МОП-транзисторы к выбранной адресной шине.

Способы подсоединения затворов МОП-транзисторов к адресным шинам иллюстрируются рис. 4.5, *б*, *в*. Если

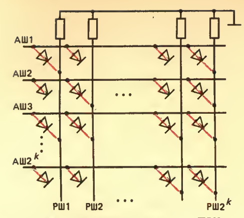


Рис. 4.4. Запоминающая матрица ПЗУ на диодах

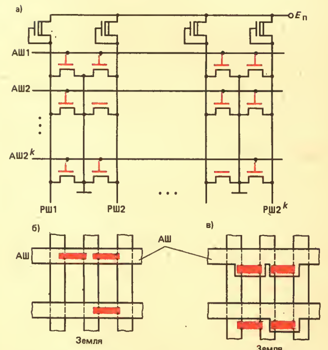


Рис. 4.5. Запоминающая матрица на МОП-транзисторах:
а — схема ПЗУ; *б* — формирование МОП-транзисторов изменением толщины изолирующего слоя над затворами; *в* — формирование МОП-транзисторов изменением формы металлической шины, образующей затворы

изолирующий слой двуокиси кремния под металлическим затвором достаточно тонок (что показано красными прямоугольниками на рис. 4.5, *б*), то в этих местах образуются МОП-транзисторы. Если часть изолирующего слоя имеет значительную толщину, то затвора МОП-транзистора в этом месте не образуется. На рис. 4.5, *б*, *в* красными прямоугольниками показаны области с тонким изолирующим слоем окисла кремния. МОП-транзисторы формируются в тех местах, где горизонтальные металлические линии имеют прямоугольные отводы, перекрывающие эти области.

Часто в КМОП БИС ПЗУ на входе помещают адресный регистр, в который предварительно принимается код адреса, запоминаемый в нем, и далее работа БИС не зависит от состояния внешних адресных шин. В этот момент на внешних адресных шинах можно формировать следующее адресное слово.

Способ программирования ПЗУ с помощью заказных фотошаблонов хотя и обладает большой надежностью, но требует дополнительных материальных и, что особенно важно, больших временны́х затрат. Это объясняется относительно высокой трудоемкостью изготовления дополнительных заказных фотошаблонов. Кроме того, при отладке программ часто возникает необходимость в изменении информации и тогда приходится заказывать ПЗУ с новой информацией и ждать его изготовления.

Данный способ используется в тех случаях, когда изготовляется большое количество одинаковых ПЗУ.

Существует способ программирования МПЗУ прерыванием связей в разводке за счет испарения участков металлизации при воздействии лазерных лучей после металлизации. При относительной сложности этот способ имеет ряд преимуществ: для всей номенклатуры ПЗУ с различной информацией используется один и тот же комплект фотошаблонов; время перехода от программирования одного ПЗУ к программированию другого незначительно. Этот способ целесообразно применять при программировании небольшого числа ПЗУ с разной информацией.

4.4 Программируемые постоянные запоминающие устройства

При разработке и отладке программ, при единичном или мелкосерийном производстве устройств с применением ПЗУ заказные масочные ПЗУ могут отка-

заться слишком дорогими, а время их изготовлеиия — слишком большим. Поэтому в практике широко примеияются ПЗУ, программируемые потребителем.

Структура БИС ППЗУ аиалогична структуре БИС МПЗУ и отличается только запомииающим элемеитом, выполняемым либо в виде плавкой перемычки, либо в виде одного диода с транзистором, либо в виде двух взаимио-обратио включеииых диодов. На рис. 4.6 приведены схемы запомииающих ячеек БИС ППЗУ до и после заиесения информации. Материалами для плавких перемычек служат сплавы из иикель — хрома, титан — вольфрама, силицида платииы или поликристаллического кремиия, а иногда и алюмииия.

Уступая масочным ПЗУ в иадежиости, плотности компоиовки и быстродействии, ППЗУ обладает существеииым преимуществом, которое и определило их более широкое, чем МПЗУ, применеиие — возможиость записи ииформации в микросхемы иепосредствеио у потребителя.

Требуемая иигформация записывается одиократио путем разрушеиия плавких перемычек или восстановления связи пробоем (закорачиванием) одного из обратио включенных диодов. Известны и другие физические принципы записи иигформации в БИС ППЗУ, одиако в иастоящее время широко применяются только указанные.

Процесс разрушеиия перемычек или пробой диодов иазывается *программированием* и осуществляется иа

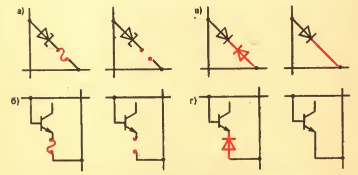


Рис. 4.6. Электрические схемы запомииающих элемеитов ППЗУ иа основе биполяриых структур до и после заиесения информации при программировании разрушеиием плавких перемычек (*а*, *в*), закорачиванием диодов (*б*, *г*)

специальном оборудовании — устройствах программирования (УП) — подачей электрических сигналов на соответствующие внешние выводы ППЗУ. Требуемые токи программирования обеспечиваются повышением приложенного к микросхеме ППЗУ напряжения до 12—20 В.

Для рассеивания выделяемой при программировании мощности электронные компоненты должны иметь увеличенные по сравнению с необходимыми для режима считывания размеры, а это, в свою очередь, снижает быстродействие и плотность компоновки. Кроме того, плотность компоновки снижают и расположенные на кристалле электронные схемы формирования токов программирования, которые используются только один раз при программировании и в дальнейшей эксплуатации не требуются.

Существенными факторами, влияющими на надежность хранения информации, являются вероятность неполного разрушения и вероятность восстановления разрушенной перемычки или пробитого диода при программировании.

В настоящее время широко применяются и наиболее изучены процессы программирования в БИС ППЗУ с плавкими перемычками, поэтому рассмотрим подробнее процессы неполного разрушения и процессы восстановления только плавких перемычек.

Несовершенство технологических процессов изготовления БИС ППЗУ приводит к разбросам геометрических размеров (ширины и толщины), а следовательно, и омических сопротивлений плавких перемычек. При постоянном напряжении программирования токи программирования обратно пропорциональны сопротивлениям перемычек. Для ряда перемычек с большим сопротивлением ток программирования оказывается недостаточным для полного разрушения и перемычка, окислившись, не разрушается.

Подобное явление наблюдается и при увеличенном токе утечки, когда часть тока программирования ответвляется в невыбранные перемычки. Увеличенный ток утечки может привести к разрушению невыбранных перемычек, т. е. к ложному программированию.

Усилители считывания, на входы которых поступает ток, проходящий через перемычку, настроены на определенный «пороговый» ток. Если ток, проходящий через перемычку, больше или меньше порогового, то на его выходе устанавливается сигнал, определяющий соответ-

ственно неразрушенное или разрушенное состояние перемычки.

При считывании ток, проходящий через окислившуюся, но не разрушенную перемычку, может оказаться меньше порогового тока усилителя считывания. На выходе усилителя считывания установится сигнал, соответствующий разрушенному состоянию перемычки. Абсолютная разность входных токов может оказаться меньше необходимой для удержания усилителя считывания в состоянии, соответствующем разрушенному состоянию перемычки, за счет приращения тока, проходящего через перемычку, или за счет изменения порогового тока усилителя под действием изменений внешних воздействующих факторов, например колебаний питающих напряжений или колебаний температуры. При этом на выходе усилителя считывания появится сигнал, соответствующий неразрушенному состоянию перемычки. То же самое происходит в результате действия электрохимических процессов, протекающих в не полностью разрушенной перемычке, когда под действием токов считывания происходит миграция (перенос) частиц металла в перемычку и с течением времени омическое сопротивление перемычки уменьшается. Переносом частиц металла под действием электрического поля, возникающего при считывании в зоне разрыва разрушенной перемычки, объясняется и явление восстановления разрушенных перемычек.

Указанных явлений можно избежать при правильном программировании и применении БИС ППЗУ. Для этого необходимо тщательно выбирать устройства программирования, так как от качества выполнения этой технологической операции зависит надежность работы устройств с применением БИС ППЗУ.

4.5 Репрограммируемые ПЗУ

Существенно большими, чем ППЗУ, возможностями в оперативной смене информации обладают репрограммируемые ПЗУ. В отличие от ПЗУ и ППЗУ, у которых однажды записанная информация не может быть изменена, в РПЗУ информацию можно записывать многократно. Так как перезапись информации обычно требует создания специального режима с использованием нестандартных высоких напряжений и значительно большего, чем при чтении, времени, такая перезапись

осуществляется редко. В этом смысле РПЗУ используются главным образом для считывания информации (хотя время от времени информацию можно перезаписывать).

В зависимости от типа РПЗУ записанная информация хранится от нескольких лет до нескольких десятков лет. Поэтому РПЗУ часто называют энергонезависимой памятью, т. е. памятью с сохранением информации при выключенном электропитании.

В основе механизма запоминания и хранения информации лежат процессы накопления заряда при записи, сохранения его при считывании и при выключении электропитания в специальных МОП-транзисторах, в зависимости от структуры которых различают два основных вида РПЗУ:

— стираемые ультрафиолетовым облучением (СППЗУ).
— электрически стираемые (ЭСППЗУ).

СППЗУ строятся на МОП-транзисторах, отличающихся от обычных тем, что между затвором и полупроводником (подложкой) помещают еще один затвор — «плавающий», полностью изолированный со всех сторон окислом кремния. Если при записи информации к затворам таких транзисторов приложить положительное напряжение около 25 В и длительностью в несколько десятков миллисекунд, то под его воздействием электроны, перемещаясь в сторону основного затвора, оседают на плавающем затворе. При считывании к затвору прикладывается положительное напряжение не более 5 В. Если на плавающем затворе нет электронов, то промежуток исток — сток становится проводящим, что соответствует хранению логической 1. Если на плавающем затворе имеются электроны, то они своим зарядом экранируют затвор и промежуток исток — сток остается непроводящим, что соответствует хранению логического 0. Так как плавающий затвор окружен изолирующим слоем, электроны, попавшие в область плавающего затвора, не могут ее покинуть. В действительности же существует утечка электронов, что приводит к постепенной потере информации. Значение этой утечки, а следовательно, и время хранения информации зависит от качества исходных материалов, совершенства технологии изготовления, температуры эксплуатации и хранения и других факторов. По данным зарубежных фирм это время составляет не менее 10 лет.

Стирается информация ультрафиолетовым облучением в течение нескольких десятков минут во всех эле-

ментах сразу, при этом электроны, которые могли находиться на плавающих затворах от предыдущих циклов записи информации, возбуждаются коротковолновой частью ультрафиолетового излучения и стекают на подложку. В результате плавающие затворы всех запоминающих элементов освобождаются от электронов, т. е. во все элементы записывается логическая 1.

Электрически программируемые и электрически стираемые ЭСППЗУ не требуют стирания информации ультрафиолетовым облучением.

ЭСППЗУ строятся на МОП-транзисторах, у которых между затвором и полупроводником располагается двухслойный диэлектрик, выполненный из нитрида кремния и тонкого слоя двуокиси кремния (так называемая МНОП-структура металл — нитрид — окисел — полупроводник). Принцип записи информации в такой элемент основан на том, что при подаче на затвор МНОП-транзистора положительного напряжения, превышающего критическое значение (около 30 В), на границе окисел кремния — нитрид кремния формируется заряд, снижающий пороговое напряжение включения МНОП-транзистора. При подаче отрицательного напряжения такого же значения происходит обратный процесс и восстанавливается высокое пороговое напряжение транзистора. Одно из состояний транзистора может быть принято за логическую 1, а другое состояние — за логический 0. В режиме считывания на затвор МНОП-транзистора подается напряжение, большее порогового напряжения включения транзистора с «низким» порогом, но меньшее порогового напряжения транзистора с «высоким» порогом.

В РПЗУ этого типа информация стирается одновременно во всех запоминающих элементах. Это вызвано необходимостью электрической изоляции отдельных запоминающих элементов и использованием для записи и стирания напряжений противоположной полярности.

Использование МОП-структур с плавающим затвором и туннельным переходом позволяет избавиться от этого недостатка. Информация в таких РПЗУ стирается электрически в каждой отдельной запоминающей ячейке.

Преимущество РПЗУ перед ППЗУ, состоящее в возможности многократной перезаписи информации, в некоторой степени снижается такими недостатками, как более низкое быстродействие, меньшая надежность хранения информации и малое время хранения информации. А такое несомненное достоинство ЭСППЗУ перед

СППЗУ, как электрическое стирание информации (не нужен источник ультрафиолетового излучения), в некоторой степени компенсируется значительно меньшим временем и надежностью хранения информации. Это объясняется тем, что в обычных МОП-структурах используются тонкие пленки двуокиси кремния (<30 Å) для того, чтобы носители заряда перемещались в запоминающую среду и выводились из нее при умеренных напряжениях (порядка 30 В). Однако при такой малой толщине окисла наблюдаются нежелательные миграции носителей из запоминающей среды, что и является причиной ненадежной работы и короткого срока хранения занесенной информации.

4.6 Тенденции развития постоянных запоминающих устройств

Постоянные запоминающие устройства находятся в состоянии непрерывного совершенствования, области применения их постоянно расширяются. Так, предполагается, что к 1990 г. производство ПЗУ увеличится в 6 раз, СППЗУ — в 25, ПЛМ — в 10 раз.

Совершенствование существующей иерархии ПЗУ идет в направлении повышения степени интеграции и быстродействия при снижении энергопотребления, обеспечении высокой надежности, развитии функциональной сложности и снижении стоимости.

Общая тенденция конструирования ПЗУ заключается в постепенном переходе от биполярной технологии на КМОП-технологию, расширении функциональных возможностей ПЗУ, например применении схем выключения питания в режиме хранения, введении схем счета сбоев, схем для тестирования и коррекции.

Для оптимизации характеристик ПЗУ начали применяться совмещенные технологии и схемотехнические решения. Например, совмещенная биполярно-полевая технология изготовления ППЗУ обеспечивает высокую степень интеграции, низкое энергопотребление за счет схем управления, выполненных на КМОП-структурах, и высокое быстродействие с надежной записью информации у потребителя, получаемое за счет применения биполярной запоминающей матрицы. Совмещение в кристалле схем РПЗУ и ОЗУ позволяет сочетать в одном устройстве быстродействие ОЗУ с энергозависимостью РПЗУ.

В масочных ПЗУ достигнута степень интеграции БИС

в 1 М бит с быстродействием 80 нс и потребляемой мощностью в режиме выборки 50 мВт. Создаются БИС МПЗУ емкостью 4 М бит. При переходе на одномикронные топологические нормы проектирования предполагается довести степень интеграции БИС МПЗУ до 16 М бит.

В ПЗУ, программируемых потреблением, разработаны БИС емкостью 512 К бит с временем выборки 10—12 нс и удельной потребляемой мощностью 5—7 мкВт/бит.

Начато производство по КМОП-технологии СППЗУ емкостью в 1 М бит, временем выборки адреса 200 нс и потребляемой мощностью 5 мВт в режиме хранения и 250 мВт в режиме обращения.

В РПЗУ с ультрафиолетовым стиранием информации достигнута емкость в 1 М бит при времени выборки 150 нс и потребляемой мощностью 150 мВт. Разработана микросхема емкостью 16 М бит.

В ПЛМ наметилась тенденция к значительному росту их потребления, вызванная достижениями технологии, которые позволили увеличить плотность упаковки, быстродействие этих БИС и поставили их на один уровень с вентильными матрицами по основным технологическим характеристикам.

В настоящее время интенсивно создаются и используются новые варианты технологических процессов, внедряются новые логические архитектуры и методы программирования, разрабатываются более совершенные средства автоматизированного проектирования. Одно из наиболее очевидных изменений в области ПЛМ состоит в переходе от биполярной технологии на КМОП-технологию — от широкого использования логических матриц, программируемых путем пережигания плавких перемычек, к применению ПЛМ, программируемых с помощью плавающих затворов ультрафиолетовым или электрическим стиранием.

Разработано семейство ЭСПМЛ на базе КМОП-технологии с электрическим стиранием, являющееся полным функциональным эквивалентом существующих биполярных ПМЛ, программируемых потребителем, — приборов с программируемыми матрицами И и фиксированными матрицами ИЛИ. Преимущество ЭСПМЛ состоит в том, что их можно неоднократно программировать в составе одного и того же устройства в процессе макетирования и отладки опытного образца системы или использовать в различных системах.

С точки зрения архитектуры наибольшее развитие

получнлн такие разновндностн ППЛМ, как программнруемые потребителем вентильные матрицы (ППВМ) н программнруемые потребнтелем логнческне контроллеры операцнонных последовательностей (ППЛК).

Примечаиие. ППВМ содержат только программируемые матрицы И с фиксироваиной матрицей ИЛИ, а ППЛК представляют собой ППЛМ, в которых иаряду с программированием матриц И и ИЛИ предусмотреиы виутреиние элементы памяти — обычио триггериых схем D-типа или JK-типа. Сигиалы для тактовых управляющих входов этих триггериых схем формируются с помощью виутрикристальиых элемеитов И — ИЛИ.

Разработано семейство более сложных БИС ПЛМ так называемых Мега-ПМЛ, с чнслом выводов от 40 до 84, нмеющнх эквнвалентную сложность в диапазоне 1500—5000 вентнлей и работающнх с тактовой частотой 16 МГц. Они в 4—8 раз превосходят предыдущне ПМЛ с плавкнми перемычкамн, рассеивая прн этом мощность всего 1 Вт.

В этнх БИС ПЛМ предусмотрены такне усовершенствовання, как возможность совместного использовання однпаковых термов пронзведеннй, позволяющнх нсключить избыточные термы, прнмененне скрытых регнстров для параллельной выборки ннформацнонных бнтов и программнруемых формирователей сннхроимпульсов для внутреннних асинхронных операций.

Сделан еще однн шаг по путн развнтня прннцнпов программнруемой логнкн — макрологнке, которая открывает перспектнвы создання программнруемых логических ИС с уровнем ннтеграцнн в 5—10 тыс. вентилей. Здесь нспользуется тот факт, что прнменяемые в современных ППЛМ вентнлн И — ИЛИ, нмеющне двухуровневую организацню, н вентнли И — НЕ/И — НЕ с одноуровневой организацней в основе своей эквнвалентны. Следовательно, вентнли И — НЕ/И — НЕ можно использовать для выполнення комбннацнонных логнческнх функцнй в внде сумм логнческнх произведеннй.

Появнлнсь более сложные прнборы последовательностной логикн, содержащие макроэлементы более высокого уровня в внде тактовых сдвиговых регнстров н трнггеров D-тнпа. Этн прнборы разрабатываются по усовершенствованной технологнн быстродействующнх ИС с окнсной нзоляцней н содержат матрнцу И — НЕ, эквивалентную ППЗУ емкостью примерно 21 К бнт. Задержкн выходных сигналов изменяются от 12 до 16 нс, по уровню ннтеграцнн они эквивалентны 3600 вентнлям.

При изготовлении подобного кристалла по технологии высококачествениых КМОП-схем с высокой плотностью упаковки можио ожидать уровни интеграции 5—10 тыс. вентилей.

Совершенствоваиие технологических процессов обработки и изготовлеиия плавких перемычек и стираемых элемеитов позволит снизить процент отказов при программировании с 20—25 % в настоящее время до 3—5 %.

Для повышения выхода годиых при программировании разрабатываются встроеиные тестовые схемы, позволяющие довести процеит выхода годиых до 99,5 %. Причем для размещеиия этих тестовых схем потребуется дополнительио не более 5 % площади кристалла. Дополиительиые затраты компенсируются той экоиомией, которая обеспечит умеиьшение частоты отказов.

Мощным катализатором разработки еще более сложных логических схем, программируемых потребителем, является успешное развитие иструмеитальных программных средств и систем автоматизированного проектирования. Наиболее зрелыми и широко известными комплексами программных средств, предназиаченных для проектироваиия ПЛМ, являются Palasm (Ассемблер ПЛМ-схем) и Amaze (средство автоматизированиого ввода схемных уравнений).

Комплексы Palasm и Amaze транслируют логические уравнения булевой алгебры в коды для пережигания плавких перемычек в ППМЛ, ППЛМ и ППЛК-схемах, которые затем можно загружать в программатор БИС ППЛМ или ППЗУ для изготовления требуемой схемы. Эти комплексы также выполияют логическое моделироваиие даииой схемы для верификации разрабатываемого изделия и проверяют схему иа соответствие тестовому обеспечеиию.

ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

4.1. Для чего предиазначеиы ПЗУ?
4.2. В чем преимущества ПЗУ по сравиению с ОЗУ?
4.3. В чем состоит отличие ППЛМ от ППМЛ?
4.4. Что такое масочные ПЗУ?
4.5. Каковы перспективы развития БИС ПЗУ?

Заключение

Развитие БИС ЗУ идет по пути совершенствования технологии их изготовления, повышения быстродействия и степени интеграции, снижения потребляемой мощности и стоимости. Аналогичные тенденции существуют и в технике построения запоминающих устройств на основе полупроводниковых БИС ЗУ.

В настоящее время информационная емкость серийно выпускаемых статических БИС ЗУ достигла 64 К бит, динамических — 256 К бит. В ближайшие 5—10 лет ожидается создание и серийное освоение как сверхбольших, так и сверхбыстрых интегральных микросхем памяти. При этом емкость статических БИС ЗУ достигнет 1 М бит, а динамических — 16 М бит, что позволит существенно улучшить технические характеристики запоминающих устройств, расширит их функциональные возможности и область применения.

Все большее распространение в полупроводниковых запоминающих устройствах среднего быстродействия получат БИС ЗУ, изготовляемые по КМОП-технологии. В ближайшее время информационная емкость таких БИС ЗУ достигнет 256 К бит.

Дальнейшее совершенствование полупроводниковых запоминающих устройств связано с улучшением методов контроля, повышением надежности, широким использованием средств автоматизированного проектирования. Важным представляется также совершенствование методов диагностики неисправностей микросхем и модулей памяти, а также улучшение эксплуатационных характеристик полупроводниковых запоминающих устройств.

В настоящее время практически отсутствуют реальные конкуренты полупроводниковым запоминающим устройствам, за исключением устройств специального назначения. Это означает, что в ближайшие 10—15 лет полупроводниковые запоминающие устройства останутся доминирующими в качестве внутренней памяти ЭВМ.

Список литературы

1. Полупроводииковые запомииающие устройства и их примеиеиие/Под ред. *А. Ю. Гордонова.* — М.: Радио и связь, 1981.
2. Полупроводииковые БИС запомииающих устройств: Справочиик/Под ред. *А. Ю. Гордонова* и *Ю. Н. Дьякова.* — М.: Радио и связь, 1986.
3. *Аваев Н. А., Дулин В. Н., Наумов Ю. Е.* Большие иитегральиые схемы с иижекциоииым питаиием. — М.: Советское радио, 1977.
4. Осиовы построеиия техиических средств ЕС ЭВМ иа иитегральиых микросхемах/Под ред. *Б. Н. Файзулаева.* — М.: Радио и связь, 1981.
5. *Караханян Э. Р., Шилин В. А.* Дииамические иитегральиые схемы памяти с МДП-структурой. — М.: Радио и связь, 1984.
6. *Генкин В. И., Грачева Т. Г., Калякина Т. М.* Наивысшие параметры осиовиых классов изделий электроииой техиики, достигиутые к 1986 г.//Зарубежиая электроииая техиика. 1986. № 8. С. 26—100.
7. *Огнев И. В., Шамаев Ю. М.* Проектироваиие запомииающих устройств. — М.: Высшая школа, 1979.
8. *Дерюгин А. А.* Полупроводииковые запомииающие устройства. — М.: МЭИ, 1982.
9. Измереиие параметров цифровых иитегральиых микросхем/Под ред. *Д. Ю. Эйдукаса и Б. В. Орлова.* — М.: Радио и связь, 1982.
10. *Новик Г. Х.* Сигиатуриый фуикциоиальиый коитроль иитегральиых микросхем ОЗУ методом перемещеиия ииформации (тест «Марш»)//В. сб.: Микроэлектроиика. Т. 11. Вып. 1. С. 54—63.
11. Примеиеиие иитегральиых микросхем в электроииой вычислительиой техиике: Справочиик/Под ред. *Б. Н. Файзулаева, Б. В. Тарабрина.* — М.: Радио и связь, 1987.
12. *Чурин Ю. А.* Переходиые процессы в лииияx связи быстродействующих схем ЭВМ. — М.: Советское радио, 1975.
13. *Преснухин Л. Н., Шахнов В. А.* Коиструироваиие электроииых вычислительиых машии и систем. — М.: Высшая школа, 1986.
14. ЗУПВ увереиио движутся к пикосекуидиому диапазоиу//Электроиикв. 1986. № 4.
15. *Барбур Д. Р., Октей С., Ринне Э.* Теплоотводящий корпус, вмещающий 133 кристалла БИС//Электроиика. 1982. № 12.
16. *Пржиялковский В. В., Ломов Ю. С.* Техиические и программиые

средства Единой Системы ЭВМ (ЕС ЭВМ-2). — М.: Статистика, 1980.
17. *Кейлботта*. Особенности проектирования систем с динамическими ЗУ//Электроника. 1987. № 3. С. 43—50.
18. *Конопелько В. К., Лосев В. В.* Надежное хранение информации в полупроводниковых запоминающих устройствах. — М.: Радио и связь, 1986.
19. *Акинфиев А. Б., Софийский Г. Д.* Повышение безотказности запоминающих устройств на динамических МДП БИС//Вопросы радиоэлектроники. Сер. ЭВТ. 1985. Вып. 7. С. 104—110.
20. *Софийский Г. Д., Смирнов Р. В.* К вопросу оценки надежности полупроводниковых запоминающих устройств с коррекцией однократных ошибок//Вопросы радиоэлектроники. Сер. ЭВТ. 1980. Вып. 7. С. 55—66.

Оглавление

Глава 4

Постоянные запоминающие устройства

Справочное издание

ПЕРСПЕКТИВЫ РАЗВИТИЯ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

В одиннадцати книгах

Акинфиев Андрей Борисович, **Мироцев** Вячеслав Иванович, **Софийский** Гурий Дмитриевич, **Цыркин** Виктор Васильевич

Кн. 7

Полупроводниковые запоминающие устройства

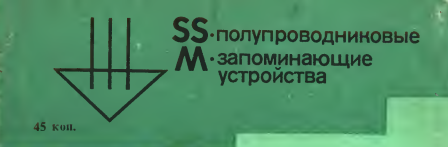
Заведующая редакцией *Н. И. Хрусталева.* Редактор *С. М. Оводова.* Младшие редакторы *Е. В. Судьенкова, Г. Г. Бучина.* Художник *В. В. Гарбузов.* Художественный редактор *В. И. Мешалкин.* Технический редактор *Г. А. Фетисова.* Корректор *В. В. Кожуткина*

ИБ № 7480

Изд. № СТД—623. Сдано в набор 06.09.88. Подп. в печать 17.04.89. Т—09932. Формат $84 \times 108^1/_{32}$. Бум. офс. № 2. Гарнитура литературная. Печать офсетная. Объем 8,40 усл. печ. л. 17,22 усл. кр.-отт. 8,34 уч.-изд. л. Тираж 75 000 экз. Зак. № 1552. Цена 45 коп.

Издательство «Высшая школа», 101430, Москва, ГСП-4, Неглинная ул., д. 29/14.

Ярославский полиграфкомбинат Госкомиздата СССР. 150014, Ярославль, ул. Свободы, 97.



45 коп.

1 Информационные семантические системы

5 Малые ЭВМ

7 Полупроводниковые запоминающие устройства

2 Интеллектуализация ЭВМ

11 Программное обеспечение ЭВМ

10 Системы телеобработки и вычислительные сети

4 Многопроцессорные ЭВМ и методы их проектирования

6 Специализированные ЭВМ

9 Внешние запоминающие устройства на магнитном носителе

8 Периферийное и терминальное оборудование ЭВМ

3 ЭВМ общего назначения

Solid-state